

VLSI 素子技術演習

内容

CMOSLSI プロセス設計

CMOSLSI のレイアウト設計

MOSFET の解析とパラメータ抽出

基本論理回路の評価（伝播遅延、消費電力）

CMOSLSI の回路解析

2002.3.1.改訂

会津大学 コンピュータ素子学講座

齋藤和之

VLSI 素子技術シラバス

1. 担当教員名：齋藤和之
2. 授業の哲学、特色：
最新の VLSI 技術である CMOSLSI 技術を VLSI 設計において、製造技術、素子技術の両面から、考慮すべき課題の習得をめざす。
3. 授業科目内容：
講義および演習で構成する。
4. 教科書：自作教科書、自作演習テキスト
5. 評価方法：
100 点満点のうち、講義を 50 点、演習を 50 点と配点する。講義では中間試験を実施する場合もある。
6. 講義内容：
講義；
 1. 集積回路の歴史と特徴；集積回路技術の歴史的背景、将来動向等を講義し、講義の目的を理解させる。
 2. 集積回路設計・製造の概要；機能設計から素子技術にわたる集積回路の技術体系の概要を講義する。各設計階層の役割、階層間の相互関係について概要を理解させる。また、LSI を設計する上での基本的な留意点を理解させる。
 3. 論理回路・記憶回路の実現；CMOSLSI 技術をベースとし演算回路、一時記憶回路、記憶回路の構成法を講義し、集積回路の基本回路要素の実現技術を理解させる。
 4. MOS 構造と MOSFET；CMOS 集積回路を実現する基本要素の MOS 構造、MOSFET の動作を講義し、その特性の制御要因を理解させる。
 5. 微細 MOSFET；MOSFET 微細化にあたっての基本原理を講義し、MOSFET の動作限界、極微細 MOSFET を実現する際の問題点を理解させる。
 6. CMOS 論理回路の特製；CMOS 集積回路の動作を講義し、CMOS 回路の性能を支配する要因について理解させる。
 7. MOSLSI プロセス技術；MOSLSI を製造する各種基本技術について講義し、集積回路を実現する手法を理解させるとともに、現在の集積回路技術の課題を理解させる。
 8. 集積回路生産管理技術；集積回路の製造コストの支配因子、歩留まり向上技術、信頼性評価・向上技術、生産管理システム技術等について講義し、工学としての VLSI 技術を理解させ講義をまとめる。

演習；

- 1 .集積回路プロセス設計；LSI 形状シミュレータ(Paradise World)を用いて CMOS プロセスを設計する。
- 2 . CMOS のレイアウト；Paradise World を用いて CMOS インバータ等のレイアウトを通じ、プロセス技術とレイアウトの関係を解説し、集積回路のデザインルールを理解させる。
また、配線抵抗、配線容量などの LSI の寄生素子について学習する。
- 3 . MOSFET の特性評価；MOSFET の静特性を評価し、回路解析用のパラメータ抽出技術を学習する。
- 4 . MOSFET のシミュレーション；回路解析用シミュレータ (Spice) を利用し、先の演習で抽出した素子パラメータを用い回路解析で利用する MOSFET の特性を確認する。
- 5 . CMOS 素子の基礎と応用；CMOS 論理素子の基礎としてインバータの静特性について学習する。特に伝達特性、ノイズマージンなどを学習する。さらにインバータの応用としてリングオシレータ、ラッチ、多数決ゲートなどを学習する。
- 6 . CMOSLSI の動特性；CMOS インバータを用いて回路性能の評価法を学習する。
- 7 . CMOSLSI の回路解析；Spice を用いて CMOSLSI の伝播遅延時間、消費電力の予測法を学習する。特に、実験により抽出した素子パラメータを用いた解析により、実測値と予測値との比較検討を行う。

7 . 先修科目：

「半導体デバイス」を履修してあること。

8 . 参考図書

Physics of Semiconductor Devices; S.M.Sze, Wiley

VLSI Technology; S.M.Sze, McGraw-Hill

など。ただし、講義内容全体を一冊でカバーする適切な教科書はない。

0.1 演習の概要

LSI のレイアウト、プロセスの設計および素子特性と回路設計の基礎

所望の LSI を実現しようとする場合、まず行われるのが LSI の機能記述である。機能記述は VHDL などの Hardware Description Language で記述される。この後、論理合成ツールにより論理回路レベルに変換される。論理回路レベルの LSI を実際の半導体チップ上にトランジスタや配線、容量として実現することになる。すなわち、各機能を有する回路をチップ内に配置することになる。これがレイアウト設計である。一方、拡散層の深さ、配線層の決定、層間絶縁膜の厚さなど、縦方向の寸法を定める必要がある。これがプロセス設計である。すなわち、レイアウト設計とプロセス設計は LSI 内部で使用されるトランジスタの性能、配線抵抗、配線容量などに影響を与える。ここで、特に素子特性の設計を素子設計と呼ぶ。また、これらの素子の特性、配線の特性を考慮して LSI の速度や消費電力を設計するのが回路設計である。

レイアウト設計は各製造工程の加工対象ごとに準備されたマスクによって行われる。すなわち、LSI ウエハの所望の場所に材料を残したり、所望の場所に不純物を導入したりし、プロセスに従って最終的に配線や素子を実現している。プロセス設計とレイアウト設計は相互に関連しており、プロセス技術ごとにレイアウトの基準が定められている。これをデザインルールと呼ぶ。

具体的な LSI の製造はクリーンルームと呼ばれる塵埃を極度に減らした環境の中で行われる。LSI の製造は Si ウエハ(6 インチ ~ 12 インチ)を 50 ~ 200 枚一括して処理される。これをロットと呼ぶ。一枚のウエハには 100 ~ 200 個のチップが配置されている。チップの一边の大きさは最大 25 mm 程度である。この Si ウエハに対して薄膜の堆積、不純物の導入をマスクによって定められた所望の場所に形成して行く。これらの工程を前工程と呼ぶ。

素子、回路特性はレイアウト、プロセス技術に密接に関連している。素子特性は実測データをもとに回路解析用のモデルパラメータに変換されて回路シミュレーションで使用される。ここでは、回路解析用のパラメータ抽出法も学習する。(注：MOSFET 用では寸法の異なる多種の MOSFET によりパラメータを導出するが、ここでは、最も基礎的な長チャンネル MOSFET の場合についてのみ学習する。) また、回路解析では各種素子の寄生抵抗、寄生容量が重要なパラメータとなる。これらのパラメータを元に伝播遅延、消費電力の解析を行う。これが回路解析である。

前工程を終了したウエハはチップごとに分割され、リード線を接続し、樹脂モールド、またはセラミックパッケージに封入されて完成品となる。この工程を後工程という。

この演習では、MOSLSI を中心に LSI のレイアウト設計、プロセス設計について学習し、さらに回路解析に向けた MOSFET の評価法、最後に MOSLSI の回路解析等の基礎を学習する。

0.2. 演習についての一般的注意事項

0.2.1 実験レポートの書き方

実験レポートは A4 版とし、下記のような表紙をつける。レポートは手書きとする。

提出年月日		
VLSI 素子技術 実験レポート		
第 XX 回 (実験年月日)		
「演習名」		
報告者	学籍番号	氏名
共同実験者	学籍番号	氏名
共同実験者	学籍番号	氏名

0.2.2 レポートの構成

レポートは以下の章構成とする。

1. 目的 (実験の目的、狙いを書く)
2. 原理 (実験の目的を達成するための基礎となる原理を記す)
3. 実験方法 (実験が再現できるように記す。必要に応じて以下の項目に分ける)
 - 3.1. 資料
 - 3.2. 実験に使用した機器、ソフトウェア
 - 3.3. 実験の手順
4. 実験結果 (測定結果は項目別に整理し、測定値の表とそれをグラフにしたものの両方を書く。グラフに出来るものは必ずグラフ化する。実験を行いながらデータをグラフに表現する癖をつけること。これにより、測定の誤りにただちに気付くことが出来るとともに、変化の激しい点の付近での測定をきめ細かく行うことが出来る。)

* 実験データの扱い

実験データは表で書かれていても、結果が理論にあっていいのか、どのような傾向かを認識することが困難である。したがって、グラフ化できるものは最終的には必ずグラフにする。

表はグラフかしにくい結果、例えば、適/不適、などの結果を表すときに用いる。

* グラフの書き方

グラフを描くソフトがあるが、概念を知らないで使うと間違った使い方をするので、この演習では手書きとする。

グラフ用紙：専用のグラフ用紙を用いる。方眼紙、片対数方眼紙、両対数方眼紙などがあるので、目的に応じて使いわけ。

対数方眼紙は桁数が大きく変わるデータを整理する時に使用する。特に、両対数方眼紙は $y = x^n$ のような、べき乗のデータを解析するときに使用すると便利である。

データは点をプロットするだけでなく、線を描くことは重要である。このとき、理論式との対応、最小自乗法などでデータの意味を考えると良い。

4. 考察 （目的どおりの実験結果が得られたか、また、なぜこのような実験結果が得られたかを考察する。）
5. まとめ （実験結果を具体的にまとめる）
6. 感想（論文では謝辞を書く）（実験の感想を書く）

0 . 2 . 3 . その他注意事項

（１）演習の後片付け：

演習室は他の授業でも利用するので、毎回ごとに、後片付けをきちんと行うこと。

（２）成績の評価：

演習はレポートの提出によって完了する。したがって、レポートの提出がない場合は、成績の評価は行わない。

レポートの提出は次回の演習日とする。

（３）就職活動等で演習を行えなかった場合の扱い：

各自の空いている時間に、演習室が空いている時間帯を利用して演習して良い。ただし、演習室を利用する場合は齋藤教授（２２２ - A）または久田講師（２２２ - C）に予め連絡すること。また、終了後も連絡すること。

以上

1 . VLSI の製造

Paradise World によるプロセスシミュレーション

内容：VLSI 形状シミュレータ Paradise World を使用し、VLSI の構造設計（プロセス設計）を学ぶ。

1 . 1 . CMOS プロセスの概要

ここでは、すでに設計されているレイアウト（CMOS Inverter）についてプロセスの流れを学習する。図 1 に CMOSLSI を製造する場合の基本的なプロセスの流れをしめす。

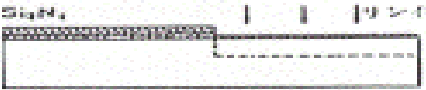
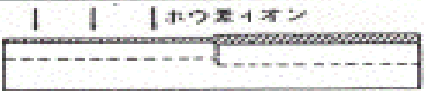

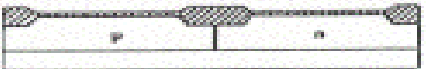



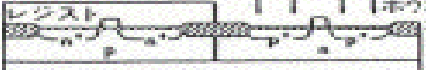


工 程		マスク 工程	断面構造
2 重 ウェル	nウェル	○	
	pウェル		
	ウェル 拡散		
素子 分離	LOCOS 膜形成	○	
ゲート	チャネル イオン打込み	(○)	
	ゲート 電極	○	
MOS	NMOS ソース ドレイン	○	
	PMOS ソース ドレイン	○	
配線	表面保護膜 コンタクト図	○	
	配 線	○	

図1.10 CMOS・ランシスタ形成の基本プロセスフロー

図1 CMOSLSI のプロセスフロー

CMOSLSI では pMOSFET と nMOSFET とを同一の基盤上に形成しなければならない。すなわち、pMOSFET を形成する領域は基盤を局部的に n 型に、nMOSFET を形成する領域は基盤を局部的に p 型にする必要がある。この局部的に伝導型を変えた領域をウエルまたはダブと呼ぶ。不純物の導入はイオン注入によって行われ、その後、所望の深さまで熱拡散される。

次に素子領域を決定する。素子領域以外は厚い酸化膜を形成し、その上部に配線が形成されても素子間に電流が流れないようにしきい電圧を高くしている。ここでは素子を形成する部分をシリコン窒化膜で覆い、その領域以外を酸化する選択酸化技術 (LOCOS 技術) が採用されている。シリコン窒化膜の形成は CVD (Chemical Vapor Deposition) によってなされる。

素子領域にゲート絶縁膜を形成した後、pMOSFET および nMOSFET それぞれのしきい電圧を調整するためにチャンネルイオン注入 (チャンネルドーピング) が行われる。チャンネルドーピングをゲート絶縁膜形成前に行う場合もある。

ついでゲート電極が形成される。ゲート電極として最も一般的なのは n 型多結晶シリコンである。多結晶シリコンは CVD 技術で形成する。

pMOSFET、nMOSFET のソース領域、ドレイン領域を形成するためにイオン注入される。形成される不純物層の表面濃度は 10^{20} cm^{-3} 程度の高濃度である。

多結晶シリコンと上部配線を分離する層間絶縁膜を形成し、配線との接続個所のコンタクト穴を形成し、ゲート電極やソース、ドレインとの電氣的接触を形成する準備を行う。

最後に配線層を形成し完成する。

ここでは、金属一層配線工程を示したが、LSI の高密度、高速化のために最近では多層配線技術が用いられている。

1.2. PARADISE WORLD を用いたプロセス設計

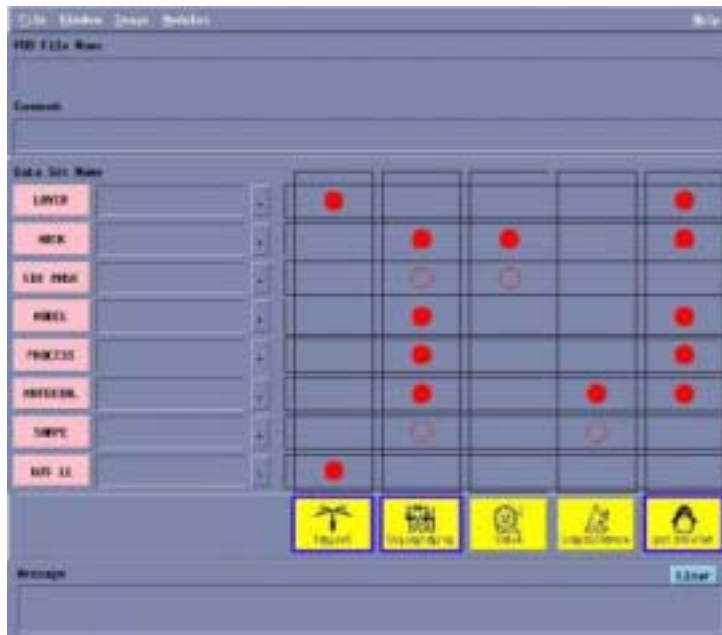
PARADISE WORLD は LSI のレイアウトと断面形状の関係を設計するツールである。このツールはさまざまな初期形状に対して薄膜の堆積、エッチングに伴う形状の変化をシミュレーションする形状シミュレータである。具体的には指定したレイアウト内の位置に対して断面に断面形状の変化を計算することが出来る。

PARADISE WORLD の使用法：

1. hdw[3,4]ss[1-25]にログイン
2. PARADISE WORLD の起動

%pw

すると次のウィンドウが現れる



4. 演習用ファイルをコピー

%cd pw2/pdd

%cp MYPROCESS.pdd MYNAME.pdd

(MYNAME に自分の名前を入れる)

5. 必要なファイルを開く

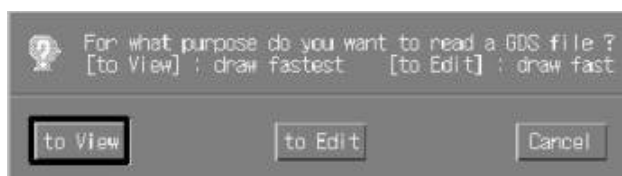
File Open で MYNAME.pdd を開く

GDS ボタンを押し、Paradise/gds/inverter.strm を選択

6. レイアウトデータを表示

a. layout ボタンをクリックする

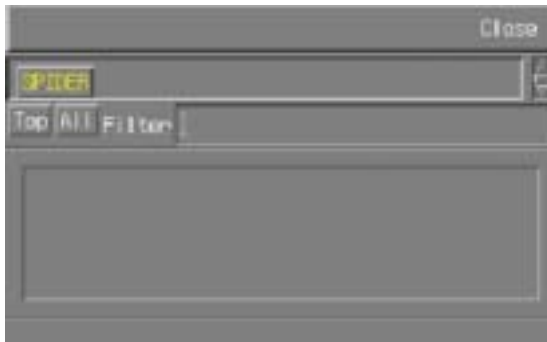
b. 次のウィンドウが現れるので、to view をクリックする



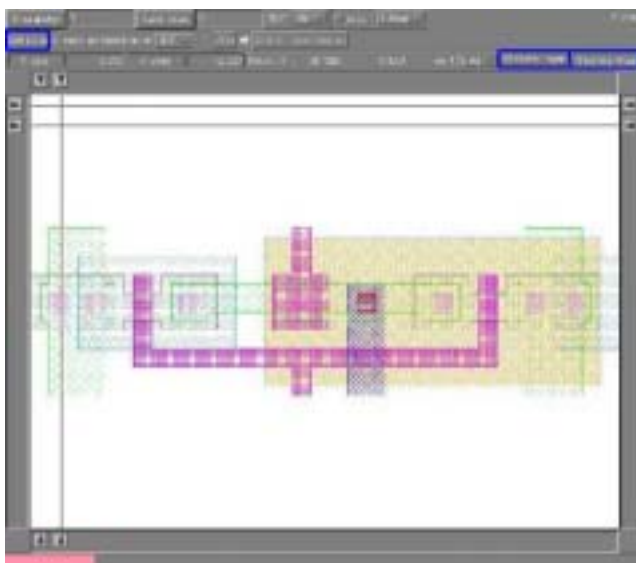
c. PALM ウィンドウが現れるので、Cell をクリックする

(PALM Window は Paradise Window の下に隠れている可能性がある)

d. CELL Select ウィンドウが現れるので、SPIDER をクリックする



すると inverter の layout view が現れる



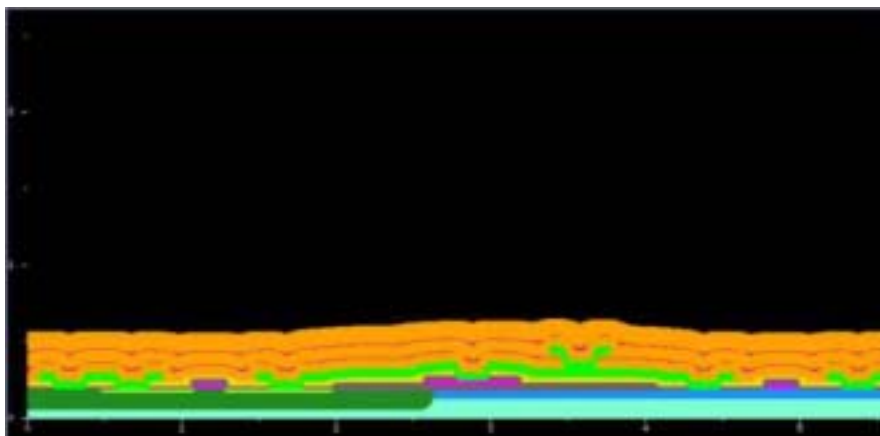
- ・ Visible Area またはマウスの右ボタンでズームイン,アウトや位置の指定が出来る
- ・ Visible layer で色指定が出来る
(通常、半導体設計で使用されている色がすでに指定されている)

7. 断面形状を表示

- a. Cut line をクリックするとカーソルの形が変わるので、断面を見たい所に線を引
き、指定する。
- b. PARADISE WORLD に戻り、topography をクリックする
- c. すると TIGER ウィンドウが現れる



d. RUN ボタンで断面形状シミュレーションが開始される



シミュレーションの結果

8. PROCESS の編集

- a. PARADISE WORLD で parameter をクリックする
- b. Select PENGUIN's ウィンドウが現れるので、MASK と PROCESS をチェックして、Select をクリックする

File Edit Communication Window Help

POB File - PARADISEWARD Data Description

Name: /home/professor/kei-saito/sw2/pob/MI PROCESS.pob

Comment:

Data Set Type: MASK

Name: SAMPLE

Comment: This is a sample data of MASK.

NO.	MASK	Expression	Color	Display	Comment
1	FWEL	L02<0.5	GreenYellow	<input checked="" type="radio"/> Y <input type="radio"/> G <input type="radio"/> N	
2	FWEL	"(L02<0.5)"	SkyBlue	<input checked="" type="radio"/> Y <input type="radio"/> G <input type="radio"/> N	
3	ACT	L03	BlueGrey	<input type="radio"/> Y <input checked="" type="radio"/> G <input type="radio"/> N	
4	GATE	L06	magenta	<input type="radio"/> Y <input checked="" type="radio"/> G <input type="radio"/> N	
5	PIIP	"L04"	ForestGreen	<input checked="" type="radio"/> Y <input type="radio"/> G <input type="radio"/> N	
6	WULH	"L08"	RodgerBlue	<input checked="" type="radio"/> Y <input type="radio"/> G <input type="radio"/> N	
7	CNT	"(L05>0.1)&L16"	violet	<input type="radio"/> Y <input checked="" type="radio"/> G <input type="radio"/> N	
8	ML1	L10	green	<input type="radio"/> Y <input checked="" type="radio"/> G <input type="radio"/> N	
9	TH1	"L11"	red	<input type="radio"/> Y <input type="radio"/> G <input checked="" type="radio"/> N	
10	ML2	L12	blue	<input type="radio"/> Y <input checked="" type="radio"/> G <input type="radio"/> N	

Mask(Y:Visible, N:Invisible)

Add Item Remove Item Send Data

Message Clear

PENGUIN MASK の説明

MASK マスクの名前

Expression マスクの演算

Color マスクの色

Display マスクの表示の有無

マスクの演算記号

- < 太らせ (パターン幅を太くする)
- > 細らせ (パターン幅を細くする)
- ~ 反転 (パターンのポジ、ネガの指定を反転する)
- | OR (論理和) (パターンの layer 間の論理和)
- & AND (論理積) (パターンの layer 間の論理積)
- SBT (論理差) (パターンの layer 間の論理差)

File Edit Communication Window Help

PDB File - PARADISEWORLD Data Description

Name: /home/professor/k-saito/pw2/pdd/MfPROCESS.pdd

Comment:

Data Set Type: PROCESS

Name: SAMPLE

Comment: This is a sample data of PROCESS.

Proc.No.	Model	Process	Para.	Shift	Exp.	Inc.	Comment
1	PARA	substrate	2.0				
2	PARA	Si_oxid	0.03				
3	PARA	Resist_coat	1.5				
4	PARA	vert_pattern	PwEL				
5	PARA	P_lapla	0.7				
6	PARA	Resist_remove					
7	PARA	Resist_coat	1.5				
8	PARA	vert_pattern	PwEL				
9	PARA	B_lapla	1.4				
10	PARA	Resist_remove					

Add Item Remove Items Send Data

Message: Clear

PENGUIN PROCESS の説明

NO. 実行の順番（左の四角をチェックするとシミュレーションでそのNO.で止まる）

Process モデルの名称（工程名）

Para. 工程ごとのパラメータ値（MASK 名か数値を入力する。数値は膜厚、単位：ミクロン、で表されている）

注）最初からやり直す場合

%cd ~ → %rm -fr pw (~pw Directory を消去)

終了方法：PARADISE WORLD Window --- File --- EXIT

演習問題

課題 1. ここで形成される左右の二つのトランジスタはどちらが NMOS であるか、判断の理由ものをべよ。

課題 2. SPIDER Window で右側のトランジスタ部分だけが見えるように拡大し Cut Line で切断面をトランジスタを横切るように設定し、Tiger Window で指定した部分の断面を表示せよ。また、そのまま断面を表示した状態で (Tiger Window を保存) SPIDER Window から別の Tiger を起動し、PROCESS EDITOR の工程 29:SiO2_etch の時間を 1 分、工程 30:Si_etch の時間を 0 分に変更し、RUN で断面を表示せよ。
(時間単位 = 分、工程 29 で入力した数値がカーソルがはずれると見えなくなる不具合があるが、その部分をクリックすると数値は見える。)

課題 3. エッチング時間を最適化せよ

(ヒント: ゲート電極であるポリシリコンが必要かつ十分に存在するには?
工程 26: SiO2_depo にポーズ設定をしておくとう便利)

課題 4. 工程 34: As+_impla の拡散距離 (TCKI) はオリジナルはゼロに設定してある。これを $1\mu\text{m}$ にして RUN を実行して何が起きるか考察せよ。
このとき、MOS トランジスタとして動作しなくなる。なぜか?

課題 5. オリジナルの工程 38: B+_impla は右側のトランジスタにとってなぜ必要か? どういう目的をもった工程か?

(ヒント: どこに硼素が注入されるか? その部分の機能は?)

課題 6. 意見、感想等 (なんでもよい。今後の参考にしたいので積極的な発言を求める)

余力があれば、

- ・ ツインタブ構造 (p-well、n-well の両方とも存在する) のプロセス工程を作り上げてみる。
- ・ 電気伝導性を持つ同一基板上 (p、n 極性を持つシリコンは多かれ少なかれある程度電気伝導性をもつ) に n-MOS、p-MOS トランジスタが混在して存在しているのにどうしてショートしたりしないのか考察してみる。

2. VLSI のマスク設計とプロセス設計

Paradise World による簡易レイアウト設計

2.1. LSI マスクレイヤの定義

各層のマスクデータを作成するには、各層の設計レイヤの定義をする。
次に必要に応じて各レイヤのデータを合成し、マスクレイヤを作成する。

レイヤの編集

1. PARADISE WORLD の画面で parameter をクリックし、出てきたウインドウの LAYER をチェックして Select をクリックする。
2. まず、L04 を追加する。No.3 (L06 が入っている行) をチェックして Add Item をクリックする。
3. No.3 の行に何も書かれていないレイヤができるので、次のように入力する。

LAYER	Color	Hatch
L04	yellow	17

4. 次に各レイヤの色の変更をする。デフォルトの設定から次のように変更する。

L03	DimGrey -> DarkSeaGreen
L06	violet -> HotPink
L08	red -> DodgerBlue
L09	blue -> MidnightBlue
L10	green -> DeepSkyBlue

5. 編集が終わったら、Send Data をクリックして、File -> Save PDD File をする。

マスクレイヤの作成

マスクレイヤの作成するには、レイヤの編集と同じように parameter の MASK で行う。
マスクレイヤは次のように定義する。

マスク名	設計レイヤ	演算
PWEL	L02	$L02 > 0.6$
NWEL	L02	$(L02 < 0.6)$
ACT(n-Active)	L03	$L03 \& L04$
ACT(p-Active)	L04	$L03 \& L04$
GATE	L06	L06
PDIF	L07	L07
NDIF	L08	L08
CNT	L09	$((L09 > 0.1) \& L16)$
ML1	L10	L10

注：ここでは ACTIVE マスクは PMOSFET、NMOSFET でそれぞれ別のレーヤに設計した後、両レーヤを合成して作成している。

2.2. レイアウトの作成

1. MYNAME.pdd を開いた状態で GDSII の右の点ボタンを押し、ファイル名を消す。
2. Layout ボタンを押すと PALM ウィンドウが現れるので、File->Create を押す。
3. PALM ウィンドウのメニューに Cell が追加されるので押し、現れたウィンドウの PALMUSERCELL をクリックする。
4. 何も書かれていない layout view が現れる。
5. Edit Layout ボタンで編集用のウィンドウが現れるので、それを使いレイアウトを作成する。

レイアウトの書き方

1. Shape の中から path を選ぶ。各パラメータを決めて設計する Layer 番号を選ぶ。
2. Layout ボタンを押すとカーソルが鉛筆の形になる。
3. レイアウト画面で、マウスの左ボタンをクリックすると始点が決まり、マウスを動かすと図が書かれる。
4. 途中で左ボタンをクリックすると、その点を角として直角に曲げることができる。中ボタンをクリックすると、1 つ前に左クリックした所が終点となる。
5. Register ボタンを押して、パタンがレイアウトデータとして登録される。

ボタンの説明

Select	パタン編集を行うために画面上に表示されているレイアウトから編集対象となるパタン図形を列挙する。
Modify	Select により列挙された図形を編集します。Select により強調表示に変化したパタンの頂点か節点をクリックし、ドラックすることで移動ができる。これによって、パタン図形の形状を変化させることができる。
Layout	レイアウト表示画面上でのパタン図形の追加作業が可能になる。
Register	編集対象パタンをレイアウトデータとして登録する。
Remove	編集対象パタンをレイアウトデータから削除する。
Cancel	編集対象パタンが修正中で登録前ならそのパタンに対する修正が無効になる。

2.3. レイアウト設計ルール

a) 設計寸法と仕上がり寸法、加工変換差

設計したパターンはマスク（レチクル）加工、レジストへの転写、エッチングを経て LSI 上のパターンとなる。この寸法差を加工変換差という。さらに、LOCOS 工程などでの酸化膜の横方向への拡がり、拡散層の横方向への拡がりによって素子特性に与える実効的な寸

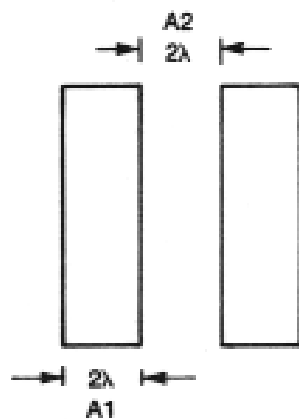
法が定まる。

b) レイアウトルール

レイアウトルールとは、加工変換差を考慮し、回路の信頼性を犠牲にしないで、できるだけ狭い面積で最適な歩留りの回路を得ることを主要目標としたルールである。ここでは[ラムダベースのレイアウトルール](#)（ラムダルール）を使う。ラムダルールとは、 λ を長さの単位としてレイヤの最低限の大きさが決められているレイアウトルールで、今回は $\lambda = 1\mu\text{m}$ とする。

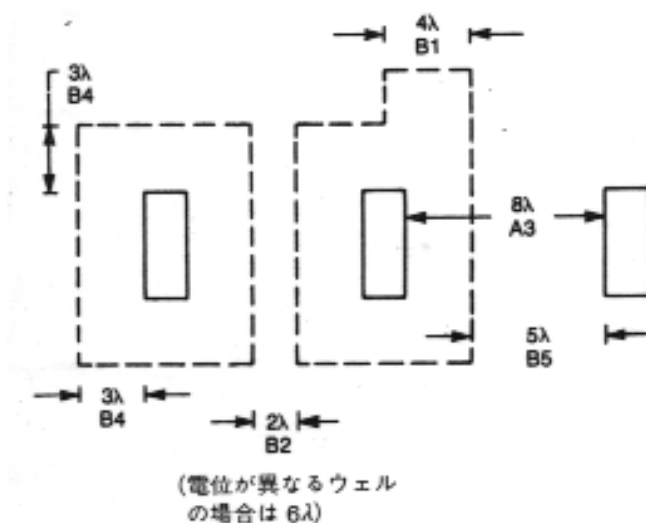
ラムダベースのレイアウトルール

マスク 1 : THINOX(ACT)



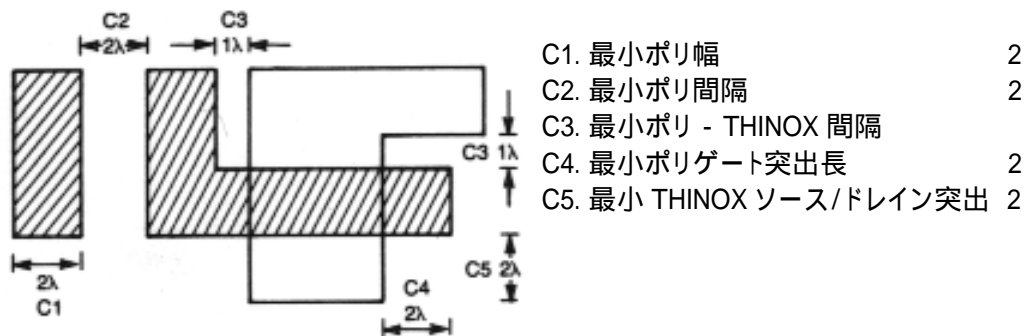
A1. 最小 THINOX 幅	2
A2. THINOX 間隔	2
A3. p+から n+への間隔	8

マスク 2 : P ウェル

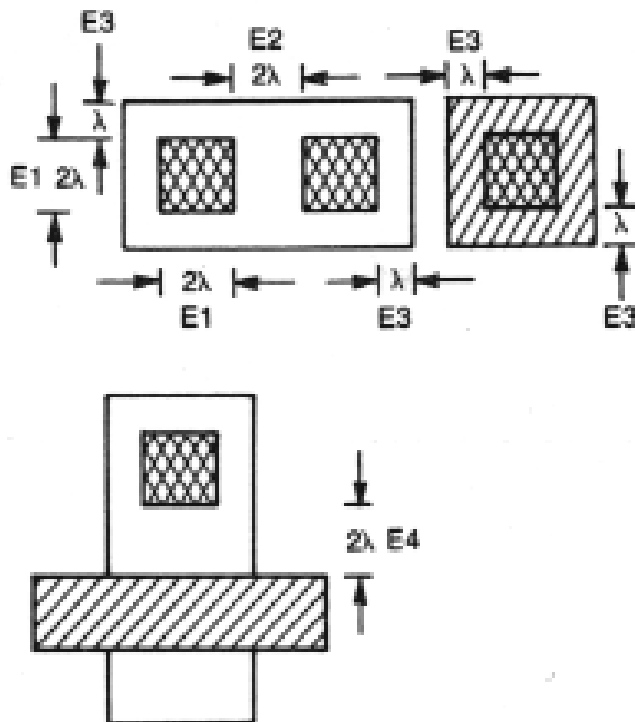


B1. 最小 p ウェル幅	4
B2. 最小 p ウェル間隔 (等電位の場合)	2
B3. 最小 p ウェル間隔 (異なる電位の場合)	6
B4. 内部 THINOX の最小オーバーラップ	3
B5. 外部 THINOX までの最小間隔	5

マスク 3 : ポリシリコン(GATE)

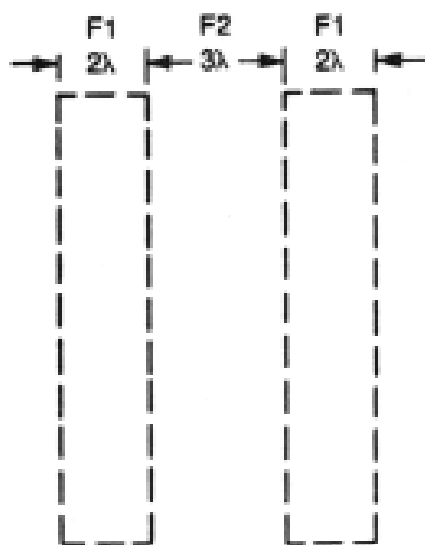


マスク 4 : コンタクト(CNT)

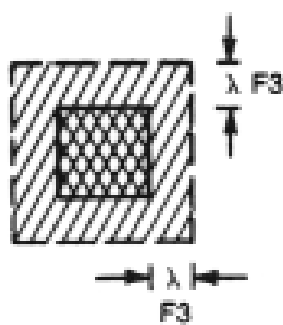


- E1. 最小コンタクト領域 2 × 2
- E2. 最小コンタクト間隔 2
- E3. コンタクトへのポリまたは THINOX の最小オーバーラップ
- E4. ゲートポリまでの最小間隔 2

マスク 5: 金属(ML1)



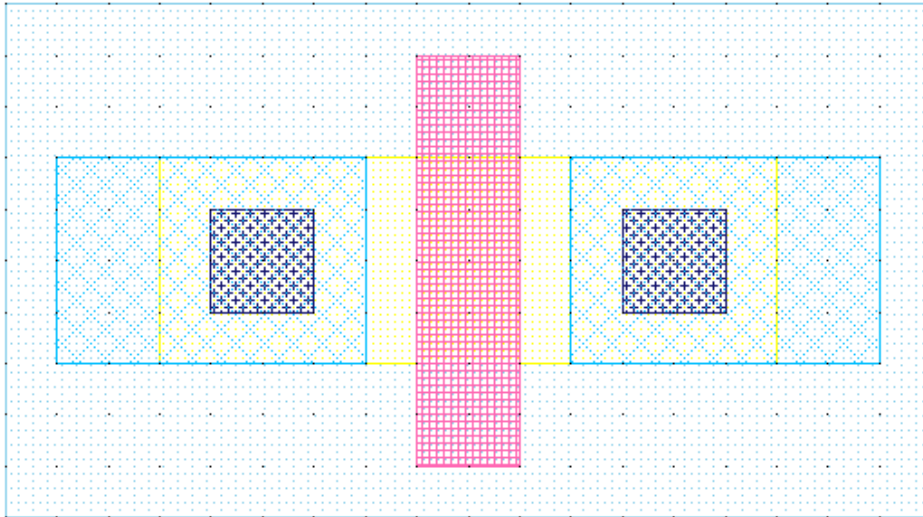
- F1. 最小金属幅 2
- F2. 最小金属間隔 3
- F3. コンタクトへの最小金属オーバーラップ



2.4. 簡単なトランジスタの書き方

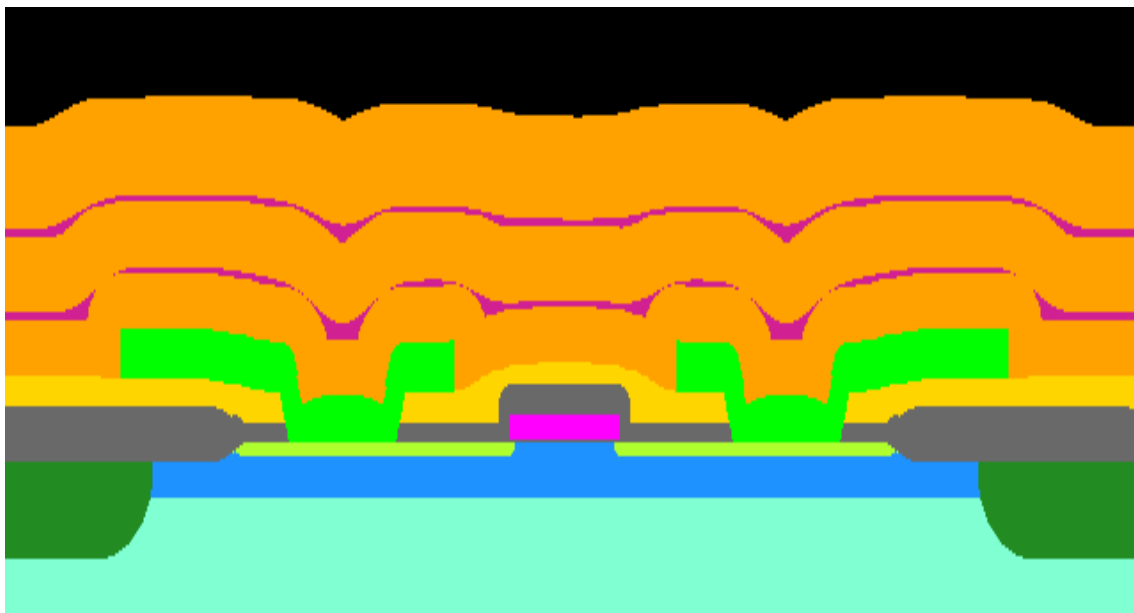
まず、layout view で Grid をチェックして値を $1\mu\text{m}$ にして、点を表示させる。

pMOS のレイアウト

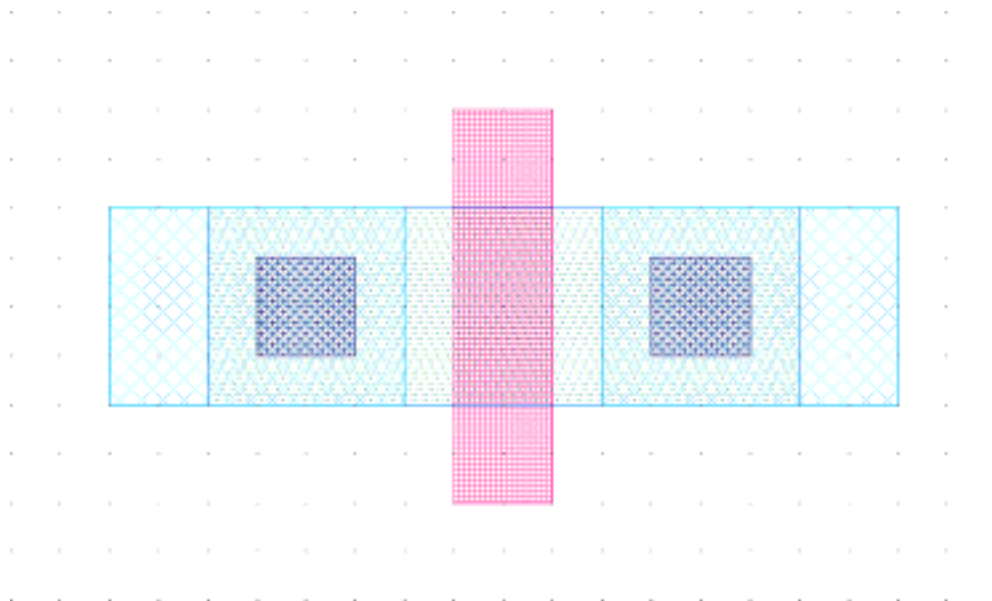


1. L2(10 μm)で NWEL を書く
2. L4(4 μm)で ACT (p-Active) を書く。
3. L6(2 μm)で GATE を作る。
4. L9(2 μm)で CNT を掘る。
5. L10(4 μm)で ML1 をつける。

シミュレーションの結果



nMOS のレイアウト



1. L3(4 μm)で ACT (n-Active) を書く。
2. L6(2 μm)で GATE を作る。
3. L7(4 μm)と L8(4 μm)で NDIF を作る。 注：CMOS 用の MYPROCESS.pdd を利用する場合
には L7 も定義しておく必要がある。
4. L9(2 μm)で CNT を掘る。
5. L10(4 μm)で ML1 をつける。

注：PWell は NWell の反転マスクを利用しているのでここでは作らなくとも良い。

シミュレーションの結果



レイアウトデータの保存

PALM ウィンドウの File メニューから Save を選び、レイアウトデータを GDSII データ (***.str) として保存する。保存先は通常、
/home/pw2/tmp/*
であるが、各自が適切な directory に保存しても良い。

注意：このレイアウトエディタは簡易エディタであり、個別に設計したレイアウトを合成するような機能は残念ながら持っていない。複雑なレイアウトを持つ LSI を設計する場合には Cadence システムなどを利用し、Cadence システム内で GDSII に変換したデータを入力する。

すでに Cadence システムでレイアウト設計をしたデータを持っている人は、GDSII データに変換し、プロセスシミュレーションを実施して見ても良い。

演習問題

以下の課題を実施しなさい。

課題の提出方法：

課題 1：何番目のプロセスをどのように変更したか書く。

W は小数第一位、xj は小数第二位まで求める。

課題 2,3,4：レイアウトとシミュレーションの結果をプリントアウト

課題 1 次のような値になるようにプロセスを編集しなさい。

ただし、誤差はそれぞれ $\pm 0.01 \mu\text{m}$ とする。

(MYNAME.pdd をコピーして、新しく ex2.pdd を作りその中で作業しなさい。

また、課題 2,3,4 の作業も ex2.pdd を使い行う)

	xj	W
nMOS	0.2	1.0
pMOS	0.4	1.0

(単位は μm)

課題 2 $L_{\text{eff}} = 1.0 \mu\text{m}$ 、 $W_{\text{eff}} = 5.0 \mu\text{m}$ の nMOS トランジスタを書きなさい。

ただし、 $\lambda = 0.5 \mu\text{m}$ とする。(レイアウトを ex2n.strm として保存する)

課題 3 $L_{\text{eff}} = 1.0 \mu\text{m}$ 、 $W_{\text{eff}} = 10.0 \mu\text{m}$ の pMOS トランジスタを書きなさい。

ただし、 $\lambda = 0.5 \mu\text{m}$ とする。(レイアウトを ex2p.strm として保存する)

課題 4 課題 2,3 のトランジスタを使い、インバータを作りなさい。

ただし、 $\lambda = 0.5 \mu\text{m}$ とする。(レイアウトを ex2i.strm として保存する)

2.5. 配線抵抗・配線容量の算出

(1) ゲートの入力容量、出力容量の算出

CMOS ゲートの入力容量： $C_{in} = C_g + C_p$

a). Poly Si/Gate Oxide 容量, C_g

$$C_g = C_{active} + C_{b0} \quad (2.1)$$

$$C_{active} = \frac{\epsilon_0 \epsilon}{t_{ox}} (L_{N,eff} \times Z_{N,eff} + L_{P,eff} \times Z_{P,eff}) = C_{g0} (L_{N,eff} \times Z_{N,eff} + L_{P,eff} \times Z_{P,eff}) \quad (2.2)$$

典型的な値： $t_{ox}=10\text{nm}$ の時、 $C_{g0} = 3.45 \times 10^{-7} \text{ F/cm}^2 = 3.45 \times 10^{-15} \text{ F}/\mu\text{m}^2$

C_{zb} は zero-bias-capacitance と呼ばれ、ゲートとソース・ドレインのオーバーラップ容量などを考慮した値である。Spice モデルでは CGS0、CDG0、CGB0 などと LD (ラテラル拡散) で定義する。

b). Poly Si/LOCOS Oxide

$$C_p = \frac{\epsilon_0 \epsilon}{t_{LOCOS}} \times S = C_{p0} \times S \quad (2.3)$$

典型的な値： LOCOS 膜厚 = $0.5 \mu\text{m}$ の時、 $C_{p0} = 6.91 \times 10^{-17} \text{ F}/\mu\text{m}^2$

CMOS ゲートの出力容量： $C_{out} = C_{diff,N} + C_{diff,P} + C_{M1}$

a). MOSFET の拡散層容量、 C_{diff}

$$C_{diff} = C_{diff,a} + C_{diff,pre} \quad (2.4)$$

$$C_{diff,a} = \left(\frac{2q\epsilon_0\epsilon}{V} \cdot N_{sub} \right)^{1/2} \times S \quad (2.5)$$

$$C_{diff,pre} = \left(\frac{2q\epsilon_0\epsilon}{V} \cdot N_{pre} \right)^{1/2} \times L_{pre} \times x_j \quad (2.6)$$

N_{sub} は基盤の不純物濃度、 S は出力側の拡散層の面積。 N_{pre} はチャンネルカット、およびチャンネルドープの不純物濃度、 L_{pre} は出力側拡散層の周囲長、 x_j は接合深さ。

典型的な値： $N_{sub} = 2 \times 10^{16} \text{ cm}^{-3}$, $N_{pre} = 1 \times 10^{17} \text{ cm}^{-3}$, $V = 3.3\text{V}$ の時、

$$C_{diff,a}(F) = 1.40 \times 10^{-16} \times S(\mu\text{m}^2) \quad (2.7)$$

$$C_{diff,pre}(F) = 1.01 \times 10^{-15} \times L_{eff}(\mu\text{m}) \times x_j(\mu\text{m}) \quad (2.8)$$

$x_{jn} = 0.15\mu m, x_{jp} = 0.2\mu m$ 程度である。

b). ソース・ドレイン直列抵抗

ソース・ドレインの直列抵抗は拡散層の抵抗とコンタクト抵抗からなる。拡散層抵抗は次の 2.2. で述べる配線抵抗と同様に算出することが出来る。

しかし、この抵抗値は Level=2 以上のモデルでは model file に explicit に記述されているとともに、仮にそれが記述されていない場合でも、MOSFET モデルとして実測値を説明しているモデルであれば implicit に含まれていることになる。したがって、回路シミュレーションにおいてソース・ドレインの直列抵抗やそれとのコンタクト抵抗を回路図上に explicit に表現する必要はない。

当然のことではあるが、MOSFET 以外の拡散層抵抗、コンタクト抵抗は回路図上で十分考慮する必要がある。

(2) 配線抵抗、配線容量の算出

a) 配線抵抗

$R = R_s \frac{L}{W}$ として得られる。 R_s は層抵抗と呼ばれ、単位は Ω/\square であるが、通常平方あたりの抵抗値として Ω/\square で表す。層抵抗は、配線の膜厚、 t_w と配線材料の抵抗率、 ρ_w に対して

$R_s = \frac{\rho_w}{t_w}$ の関係がある。集積回路では同一配線層では膜厚は一定とみなすことが出来るので、層抵抗は便利な値である。

典型的な値：

配線材料と層抵抗

	$\rho_w (\mu\Omega \cdot cm)$	$t_w (\mu m)$	$R_s (\Omega/\square)$
n-diffusion	500	0.15	30
p-diffusion	1000	0.20	50
n-poly Si	2×10^3	0.4	50
p-poly Si	4×10^3	0.4	100
Mo シリサイド	100	0.5	2
W シリサイド	70	0.5	1.4
Ti シリサイド	20	0.5	0.4
Al	3	0.5	0.06
Cu	2	0.5	0.04

b) 配線容量、 C_M

$$C_M = \frac{\epsilon_0 \epsilon}{t_{Field}} \times L \times W \quad (2.9)$$

として平行平板コンデンサのモデルで扱うのが最も簡単な近似である。
 しかし LSI の微細化により配線容量は平行平板コンデンサとして扱うことが出来なくなる。
 これは配線のフリンジ効果が顕著になって来るためである。配線容量を配線材料の幅 (W)、
 配線材料の厚さ (t)、配線材料の底面から Ground Plane までの距離 (h) の関数として
 以下の式を与えられている。

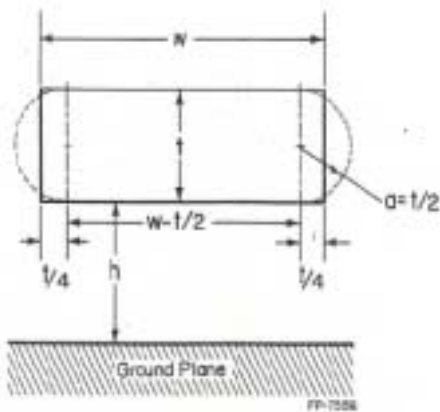


Fig. 1. Conductor with a rectangular cross-section.

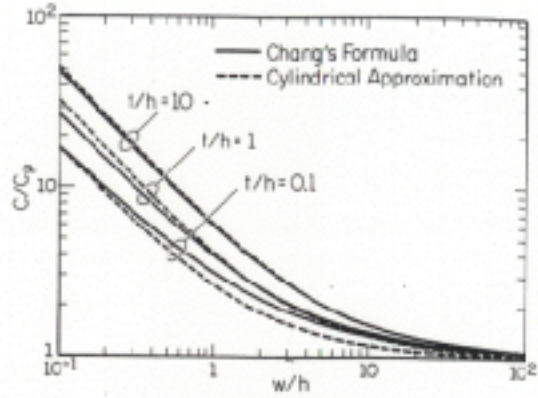


Fig. 2. Normalized capacitance comparison.

図 フリンジ容量を考慮する際のパラメータと平行平板近似、 C_p との違い

$W \geq t/2$ のとき、

$$C = \epsilon \left[\frac{W - t/2}{h} + \frac{2\pi}{\ln \left(1 + \frac{2h}{t} + \sqrt{\frac{2h}{t} \left(\frac{2h}{t} + 2 \right)} \right)} \right] \quad (2.10)$$

また、

$W < \frac{t}{2}$ のとき、

$$C = \epsilon \left[\frac{W}{h} + \frac{\pi \left(1 - 0.0543 \frac{t}{2h} \right)}{\ln \left(1 + \frac{2h}{t} + \sqrt{\frac{2h}{t} \left(\frac{2h}{t} + 2 \right)} \right)} + 1.47 \right] \quad (2.11)$$

である。

典型的な配線構造に対する値、

(注：配線材料の厚さに対する依存性は小さいので、 $t/h=1$ の場合について示す。)

層間絶縁膜厚		$C_{Mo}(F/\mu m^2)$	$C_M(F/\mu m^2)$
		(平行平板近似)	(フリンジ容量を考慮)
0.5u-poly-substrate	0.5	6.91×10^{-17}	2.76×10^{-16}
0.5u-Metal1-substrate	0.8	4.32×10^{-17}	2.59×10^{-16}
0.5u-Metal2-substrate	1.5	2.30×10^{-17}	2.53×10^{-16}
1.0u-Metal2-substrate	1.5	2.30×10^{-17}	1.38×10^{-16}

c) 分布定数線路と配線遅延

長い配線は微細な抵抗と容量が分布している線路として扱うことになる。この場合の配線遅延は

$$t_l = rcl^2/2 \quad (2.12)$$

となる。 r は単位長さあたりの抵抗、 c は単位長さあたりの容量、 l は配線長である。

典型的な値：

配線 1 mmあたりの遅延

0.5 μm n-poly Si	6.92ns
0.5 μm Metal1(Al)	$0.8 \times 10^{-2} ns$
1.0 μm Metal2(Al)	$2.1 \times 10^{-3} ns$

演習

各自が課題4でレイアウトしたインバータにおいて、入力容量、出力容量を求めよ。なお配線の容量は無視してよい。

3. CMOSFET の特性評価 MOSFET の特性測定

MOSFET の基本特性は講義用テキスト、p.41 にまとめてある。実験では実際の MOSFET の特性を測定し、回路解析用のパラメータを抽出する方法を説明する。

3.1. MOSFET のモデル

回路解析のために MOSFET の特性を記述するモデルはいくつかのバージョンがある。これは MOSFET が微細化され、それに伴い、モデルを詳細化する必要があるためである。

回路解析は現在、SPICE と呼ばれるシミュレータが一般的である。SPICE は UC Berkeley で 1970 年代に開発され、その後 LSI 技術の発展とともにいくつかの会社で実用的なソフトウェアとして商品化されている。有名なものは Unix 版では HSPICE があり、パソコン版では PSPICE がある。本演習では Cadence 社の LSI 設計システムを使うことから、CDS SPICE, または Spector 系のシミュレータを使用することになる。データの記述、解析方法はそれらのプログラムで殆ど差はない。

SPICE 用の MOSFET モデルは Level と呼ばれるモデルの記述階層がある。さらに BSIM モデルと呼ばれる特に微細 MOSFET に注目したモデルがある。いずれにしても Level=1 以外のモデルでは短チャネル化に伴う影響が考慮され、進歩してきている。本演習では測定対象である MOSFET が実効チャネル長 $3\ \mu\text{m}$ 以上であり、Level=1 モデルのみについて説明する。現在の $0.5\ \mu\text{m}$ 以下の LSI 技術ではこのモデルでは特性を十分記述していない。さらに微細な MOSFET のモデルについては “MOSFET MODELING with SPICE” Prentice Hall など参照されたい。

(1) Level=1 モデル

Level=1 モデルは Shichman-Hodges モデルとも呼ばれ、MOSFET の基本モデルであり、すでに講義で説明している。このモデルでは、長 MOSFET に対してチャネル長変調の効果が加味されている。すなわち、飽和領域では

$$I_{ds,sat} = \frac{\mu W_{eff} C_{ox}}{2L_{eff}} (V_{gs} - V_t)^2 (1 + \lambda V_{ds}) \quad (3.1)$$

であり、線形領域では

$$I_{ds,lin} = \frac{\mu W_{eff} C_{ox}}{L_{eff}} \left[(V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right] (1 + \lambda V_{ds}) \quad (3.2)$$

である。また W_{eff} については特別な考慮（狭チャネル効果など）はなされていないが、 L_{eff} は

$$L_{eff} = L - 2 \bullet x_j \quad (3 . 3)$$

で与える。

結果的に、Level=1 のパラメータは、以下のとおりである。

表 1 . Spice Level = 1 Parameters

Process Parameters: プロセス技術情報として与えられる

TPG	Gate 材料 + 1 : ソース・ドレインと同型 Poly Si - 1 : ソース・ドレインと異型 Ploy Si 0 : Al ゲート
TOX	Gate Oxide Thickness
NSUB	Substrate Doping Concentration
XJ	Source/Drain Junction Depth

Electrical Parameters: 素子特性を評価して、Parameter Extraction によって求める

UO	Zero Bias Low Field Mobility
VTO	Threshold Voltage, Long Wide Device, Zero Substrate Bias
LAMBDA	Channel Length Modulation/Output Conductance Parameter

SPICE では、上記のパラメータは .MODEL ファイルに記述され、レイアウトの情報である、 W や L は Properties として定義する。

(2) 実験 : MOSFET の測定とパラメータ抽出

(a) 試料

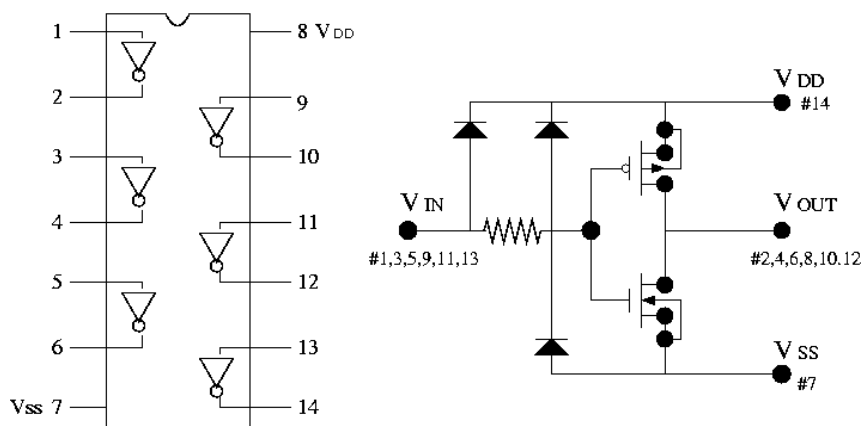


図 3 . 1 4069UB 系 Hex Inverter

表 2 . 4069UB のプロセス条件とレイアウト情報

	Spice	nMOSFET	pMOSFET
基盤（ウェル）不純物濃度	NSUB	2E16 cm^{-3}	3.2E15 cm^{-3}
ゲート酸化膜厚	TOX	85 nm	85 nm
ゲート電極	TPG	Al	Al
チャンネル長	L	5 μm	5 μm
チャンネル幅	W(=Weff)	170 μm	375 μm
接合深さ	XJ	0.5 μm	1.0 μm
しきい電圧、Vt	VTO	実験により測定	実験により測定
実効移動度、 μ	UO	実験により測定	実験により測定
チャンネル長変調係数、	LAMBDA	実験により測定	実験により測定

注：推定値であり、必ずしも実際の製造条件、レイアウト情報とは一致していない可能性がある。

(b) 測定用機器

DC 電源：Tektronix 製 PS280 型 Laboratory DC Power Supply

電圧計、電流計：hp 製 34401A 型 Multimeter

(c) 測定

nMOSFET の特性を Inverter を用いて評価するためには、Inverter の Input 端子をゲート電極、Vss 端子をソース電極、Output 端子をドレイン電極として考える。
pMOSFET の特性を Inverter を用いて評価するためには、Inverter の Input 端子をゲート電極、Vdd 端子をソース電極、Output 端子をドレイン電極として考える。

(d) 実験

実験 1 . Ids - Vds 特性の測定と Spice Level=1 パラメータの評価

a) Ids - Vds 特性の測定

nMOSFET、pMOSFET それぞれについて、ゲート電圧を 0V、1V、2V、3V、4V、5V の 5 種類変化させて、Id - Vd 特性(Vd の最大値は 5V)を測定せよ。(pMOSFET の時は負電圧であることに注意。)

注：結果はコピーして置き、次回に行うシミュレーション結果と比較せよ。

b) Spice Level=1 パラメータの評価

実験により、表 2 の空欄を埋める実験を行う。

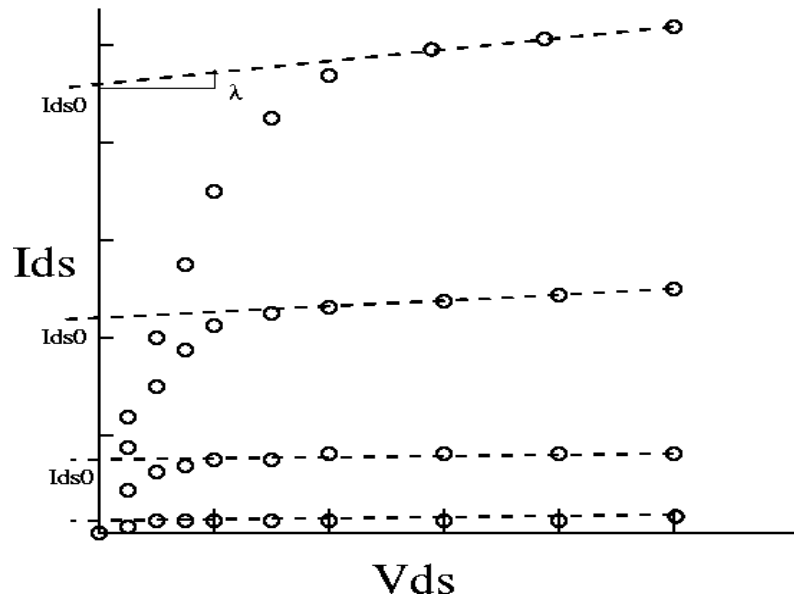


図2 Level=1 パラメータの評価

b-1) 図2を参照し、(3.1)式を用いてnMOSFETの各パラメータを測定せよ。

$$I_{ds} = \frac{\mu W_{eff} C_{ox}}{2L_{eff}} (V_{gs} - V_t)^2 (1 + \lambda V_{ds}) \quad (3.1)$$

課題1で測定したIds-Vds特性において、各Vgsの飽和領域の特性をVds=0にがいそうし、Ids0を求める。Ids0は

$$I_{ds0} = \frac{\mu W_{eff} C_{ox}}{2L_{eff}} (V_{gs} - V_t)^2 \quad (3.4)$$

であるので、Ids0-Vdsの関係からμとVtを評価する。また、先のがいそう直線の傾きから(LAMBDA)を評価する。

b-2)上記と同様の手続きにより pMOSFET の各パラメータを測定せよ。

実験2．線形領域の特性からの MOSFET のパラメータの測定

(3.2)式によれば、Vds~0で、Ids-Vds特性は

$$I_{ds,lin} \approx \frac{\mu W_{eff} C_{ox}}{L_{eff}} (V_{gs} - V_t) V_{ds} \quad (3.5)$$

と近似される。Vds=|0.1V|とし、(3.5)式により nMOSFET、pMOSFETの移動度(U0)としきい電圧(VT0)を測定せよ。

検討：実験1で評価した移動度と実験2で評価した移動度は必ずしも一致しない。

最終的にこの実験をまとめ以下の表を完成させよ。

表 3 . 4069UB のプロセス条件と素子パラメータ

	Spice	n MOSFET	p MOSFET
基盤（ウェル）不純物濃度	NSUB	$2E16 \text{ cm}^{-3}$	$3.2E15 \text{ cm}^{-3}$
ゲート酸化膜厚	TOX	85 nm	85 nm
ゲート電極	TPG	Al	Al
チャンネル長	L(=Leff)	5 μm	5 μm
チャネル幅	W(=Weff)	170 μm	375 μm
接合深さ	XJ	0.5 μm	1.0 μm
しきい電圧、 V_t	VTO		
実効移動度、 μ	UO		
チャンネル長変調係数、	LAMBDA		

注：この結果は次回の MOSFET のシミュレーションで用いるので、結果はコピーし保存しておく。

4 . MOSFET の静特性のシミュレーション

MOSFET パラメータ抽出結果の検証

4.1. MOSFET のシミュレーション

すでに述べたように回路解析は現在、SPICE と呼ばれるシミュレータが一般的である。SPICE は UC Berkeley で 1970 年代に開発され、その後 LSI 技術の発展とともにいくつかの実用的なソフトウェアとして商品化されている。有名なものは Unix 版では HSPICE があり、パソコン版では PSPICE がある。本演習では Cadence 社の LSI 設計システムを使うことから、CDS SPICE, または Spector 系のシミュレータを使用することになる。データの記述、解析方法はそれらのプログラムで殆ど差はない。

SPICE 用の MOSFET モデルは Level と呼ばれるモデルの記述階層がある。さらに BSIM モデルと呼ばれる特に微細 MOSFET に注目したモデルがある。いずれにしても Level=1 以外のモデルでは短チャネル化に伴う影響が考慮され、進歩してきている。本演習では測定対象である MOSFET が実効チャネル長 $3\text{ }\mu\text{m}$ 以上であり、Level=1 モデルを適用する。現在の $0.5\text{ }\mu\text{m}$ 以下の LSI 技術ではこのモデルでは特性を十分記述していない。さらに微細な MOSFET のモデルについては “MOSFET MODELING with SPICE” Prentice Hall など参照されたい。

(1) Level=1 モデル

Level=1 モデルは Shichman-Hodges モデルとも呼ばれ、MOSFET の基本モデルであり、すでに前回の演習で説明している。このモデルでは、長 MOSFET に対してチャネル長変調の効果が加味されている。すなわち、

飽和領域では

$$I_{ds,sat} = \frac{\mu W_{eff} C_{ox}}{2L_{eff}} (V_{gs} - V_t)^2 (1 + \lambda V_{ds}) \quad (3.1)$$

であり、線形領域では

$$I_{ds,lin} = \frac{\mu W_{eff} C_{ox}}{L_{eff}} \left[(V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right] (1 + \lambda V_{ds}) \quad (3.2)$$

である。また W_{eff} については特別な考慮（狭チャネル効果など）はなされていないが、 L_{eff} は

$$L_{eff} = L - 2 \cdot x_j \quad (3.3)$$

で与える。

結果的に、Level=1 のパラメータは、前回の演習資料、表 1 に示した。

(2) MOSFET のモデルパラメータの記述

演習では MOSFET のモデルは~/Cadence/models に記述されている。モデルの記述は下記のとおりであり、Level が高くなった場合でも、各パラメータを ‘ & ’ で追加すればよい。

例 1 . nMOSFET のモデル：MN_T.m

.model &1 nmos level=1 & : model の前の ‘.’ があることに注意。素子と level を指定

tox=85e-9 & : 単位は ‘m’。

xj=0.5e-6 & : 単位は ‘m’。

tpo=0 &

vto=1.6 & : 単位は V。

uo=195 & : 単位は $cm^2 / V \cdot sec$ 。

nsub=2.0e16 : 単位は cm^{-3} 。

lambda=0.0742 : 単位は $1/\Omega$ 。

例 2 . pMOSFET のモデル：MP_T.m

.model &1 pmos level=1 &

tox=85e-9 &

xj=1.0e-6 &

tpg=0 &

vto=-1.2 &

uo=120 &

nsub=3.2e+15

lambda=0.175

(3) MOSFET の特性のシミュレーション

Cadence システムの使用法（MOSFET の解析）を参考にして上記の例 1 の nMOSFET の特性をシミュレーションしてみよ。

前回の演習で評価したパラメータを用いて nMOSFET、pMOSFET それぞれについて特性をシミュレーションせよ。

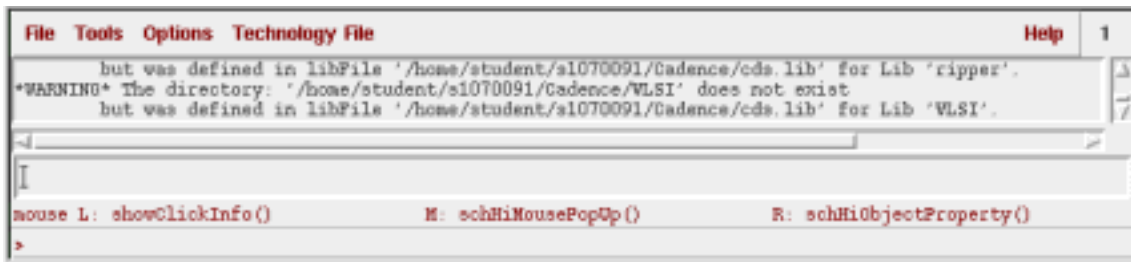
シミュレーション方法を以下に示す。

Cadence システムによる MOSFET の静特性のシミュレーション

1 . 1 icfb の起動

icfb & と入力

CIW(Common Interface Window)が表示されます (図 1)。

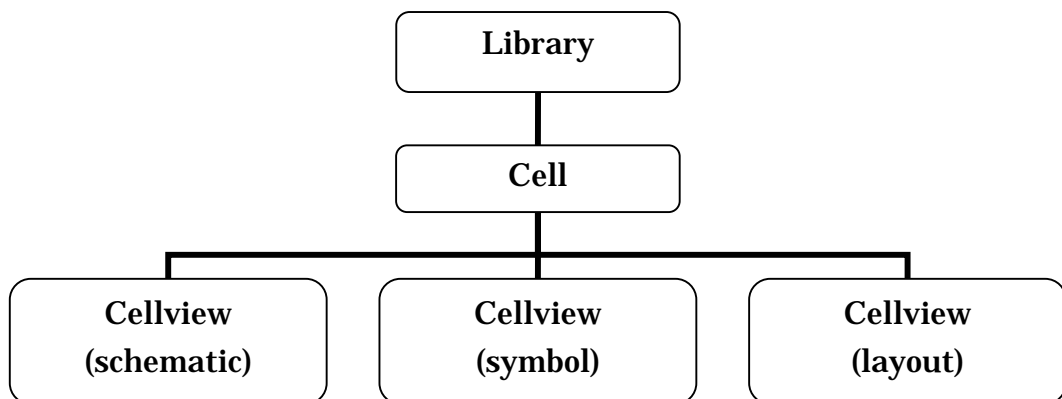


(図 1) Cadence CIW

1 . 1 ライブラリとセルの作成

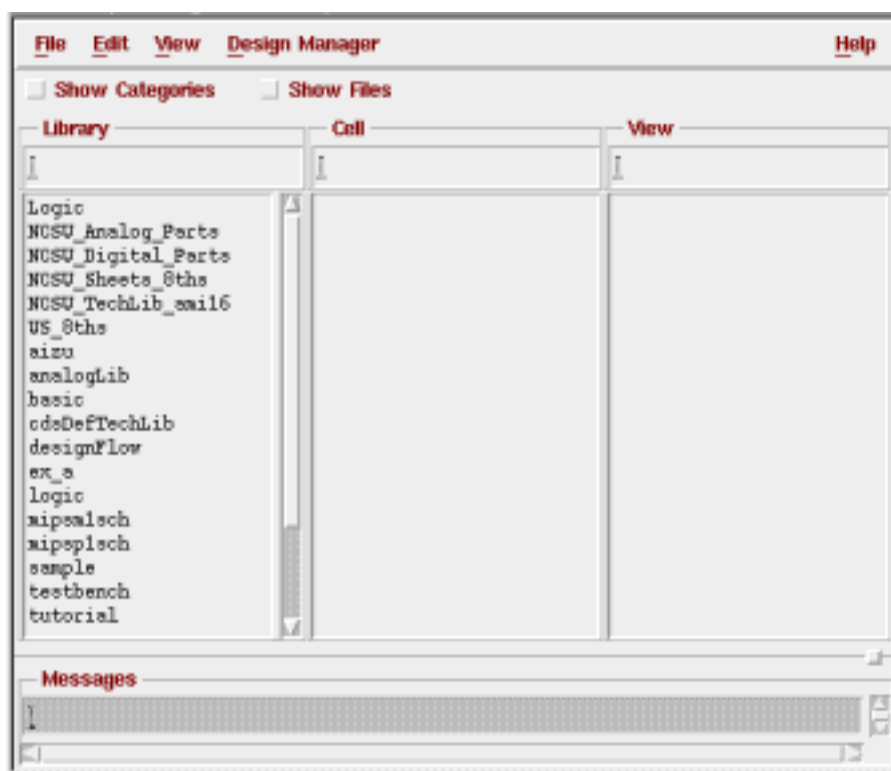
トレーニング用のライブラリとセルを作成します。

ライブラリ、セルとは Cadence 社の CAD Framework, Design Framework の設計管理の単位で、これらを使って階層的に設計データと管理します (図 2)。セルが設計する回路にあたり、その下の階層にセルビューがあります。セルビューが実際に設計するデザインで、schematic (回路図)、layout (レイアウト) などの名前がつけられています。ライブラリはセルを集めておく入れ物にあたります。これらは Library Manager を使って確認することができます。



(図 2) Library, Cell, Cellviw

- 1 . Library Manager から [File][New][Library...]を実行します。Library Name を入力し “ OK ” を左クリックします。

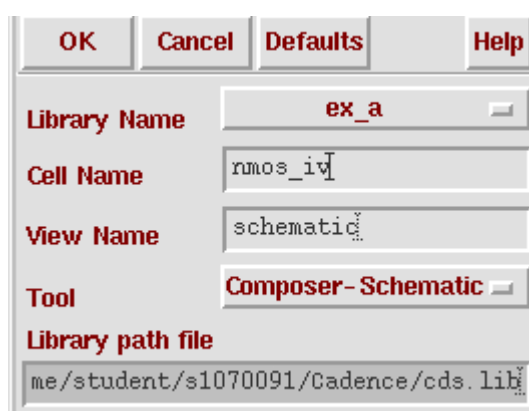


(図 3) Library Manager

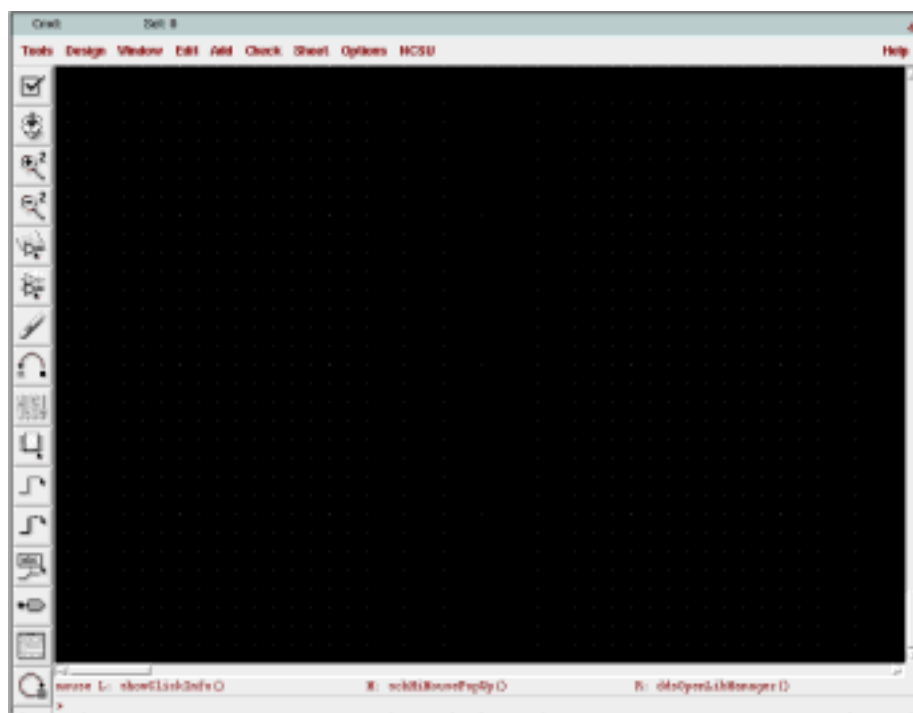
- 2 . Technology File for library “ 入力したライブラリ名 ” という確認のメニューが出るので “ **Don't need a techfile** ” を選択して “ OK ” します。
- 3 . Library Manager 上で Library “ 入力したライブラリ名 ” を選択します。[File][New][Cell View...]を実行します。Create New File フォーム上で Library name が “ 入力したライブラリ名 ” になっていることを確認し、**Cell Name** “ セル名 ” を入力します。Tool “ Composer-Schematic ” を選択すると、自動的に View Name “ Schematic ” になるので “ OK ” します。
- 4 . 回路図エディタのウィンドウが開きます。(図 5)

1.2 回路図の作成

回路図エディタを使って nmos の特性解析を行う回路を作成します。作成する回路図は図 7 です。この回路を使ってトランジスタの DC 特性、動作点解析を行います。今回の講習で使用するトランジスタは “analogLib” というライブラリの nmos4(4 端子)、pmos4(4 端子)です。nmos4、pmos4 は回路図エディタ上で基盤端子を配線することで自由に基板の電位を設定できます。なお、本テキストの回路図と回路図エディタ上での pmos4、nmos4 はデザインが異なりますので注意してください。図 7 に本テキストと回路図エディタにおける 4 端子 mos の対応を示します。



(図 4) 新しいセルの作成フォーム



(図 5) 回路図エディタ

素子配置

1. **[Add][Instance]**で Add Instance コマンドを実行します。キーボードの“**I**”キーでも実行できます（ショートカットキー）。
2. Add Instance フォームが開きます。Add Instance 上の“**Browse**”を左クリックすると Library Browser が開きます。Library から“**analogLib**”を Cell から“**nmos4**”を、View から“**symbol**”を選択します。
3. Add Instance フォーム上で nmos4 が選択されているのを確認後（図 6）、カーソル回路図上に移動します。nmos4 を配置したい位置に左クリックで配置します。
4. 続いて、GND 素子を配置します。Library Browser 上で Library から“**analoglib**”を、Cell から“**gnd**”を、View から“**symbol**”を選択し、回路図エディタ上で 3 回左クリックして 3 個配置します。
5. 続いて、電圧源を配置します。Library Browser 上で Library から“analogLib”を、Cell から“**vdc**”を“View”から **symbol**”を選択し、回路図エディタ上で 2 回左クリックして 2 個配置します。
6. 最後に回路図上で **ESC** キーを押すと、Add Instance コマンドは終了します。
7. 配線が行いやすいように素子を移動させてください。素子を左クリックで押しながらマウスを動かすことで移動します。

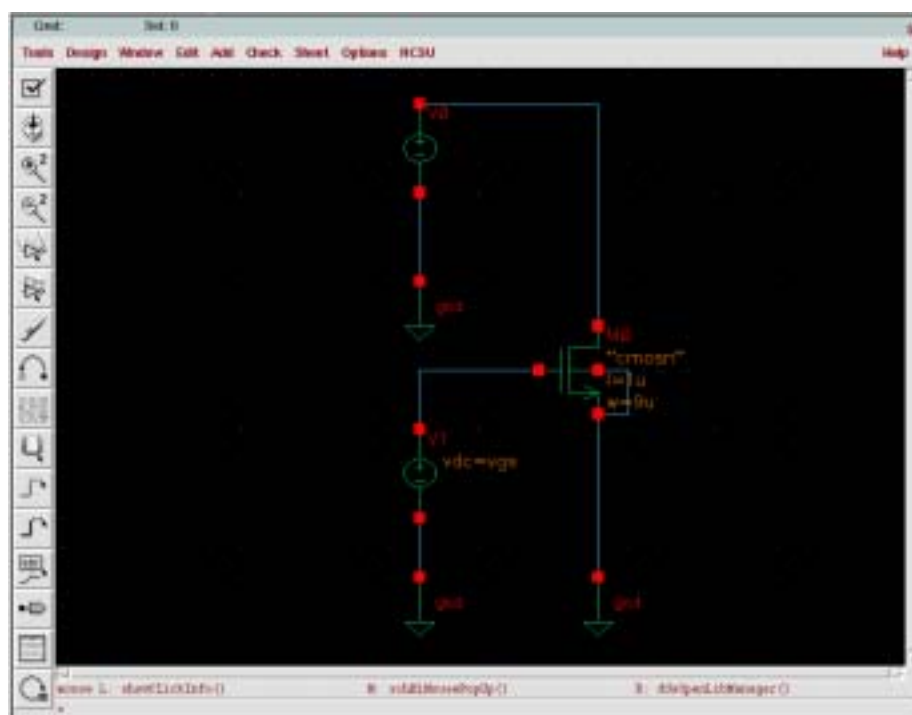
配線できる素子は他に **res**(抵抗)、**cap**(キャパシタ)、**vdc**(電圧源)、**idc**(電流源)などがあります。特に指示がない限り素子は **analogLib** ライブラリから選び、電圧源は **vdc**、電流源は **idc** を使用してください。

(図 6) Add Instance フォーム

配線 次の説明を参考に、回路図エディタ上で配線を行ってください。

- 1 . [Add][Wire(narrow)]で細配線コマンドを実行します。ショートカットキーは “ W ” キーです。
- 2 . 回路頭上で始点を左クリック、折れ曲がりで左クリック、終点は左ダブルクリック、あるいは素子のターミナルで左クリックしても終点。
- 3 . 折れ曲がりのある配線について、取り回しを変更したい場合は、マウスの右クリックを押してください。
- 4 . コマンドの終了は **ESC** キー。

配線終了後の回路図を図 7 に示します。nmos のバックゲート端子は、GND に接続してください。pmos の場合は VDD に接続してください。
以下に回路図エディタでよく使うコマンドを簡単に説明します。



(図 7) nmos の I - V 特性測定回路 (セル名 nmos_iv)

削除、前操作取り消し

- 1 . 削除したい素子、配線を選択、(選択できない場合は、**ESC** キーを押してみてください。)
- 2 . **DEL** キーで削除。
- 3 . “ **U** ” キーで 1 つ前の操作を取り消し。

コピー、移動、ストレッチ

- 1 . コピーしたい素子を左クリックして選択。
- 2 . **[Edit][Copy]** を実行。
- 3 . 選択した素子近くを一回左クリック、さらにコピーしたい位置に左クリック。

あるいは

- 1 . **[Edit][Copy]** を実行。

2. 移動したい素子を選択、コピーしたい位置を左クリック。繰り返しコピーできます。

3. 終了は **ESC** キー。

移動、ストレッチともに同じようにできます。コマンドは **[Edit][Move]** と **[Edit][Stretch]** です。移動とストレッチの違いは、配線による接続関係を無視した移動が **[Move]**、接続関係を考慮し再配線するのが **[Stretch]** です。現在、どのコマンドが選択されているかは、回路図エディタの左上に表示されます。

プロパティの設定

トランジスタやキャパシタ、電圧電流源などの素子パラメータ値の設定を行います。回路中の **nmos4** について以下の手順で設定を行ってください。

1. **[Edit][Properties][Objects...]**を実行します。ショートカットキーは“**P**”です。

2. プロパティを編集したい素子 (**nmos4**) を選択します。

3. **Edit Object Properties** が開く。

4. 上部の **Library Name** が“**analogLib**”、**Cell Name** が“**nmos4**”、**View Name** が“**symbol**”であることを確認します。

5. 中段から下の **CDF Parameter** を記述します。今回は最低限記述すべきパラメータのみ記述します。記述するパラメータは

Model name(シミュレーション時に使用するトランジスタモデル名)=“**cmos**”

Width(ゲート幅)=“**9u**”

Length(ゲート長)=“**1u**”

Drain diffusion length(ドレイン拡散のゲート長方向の長さ)=“**1.75u**”

Source diffusion length(ソース拡散のゲート長方向の長さ)=“**1.75u**”

です。長さや面積の単位はメートル(m)や平方メートル(m²)です。自動的に保管されるので単位は記入しないでください。ミリ、マイクロ、ナノは各々、“**m**”、“**u**”、“**n**”と記入してください。

今回の設定では **Width**, **Drain(Source) diffusion length** から **Drain(Source) diffusion area**, **Drain(Source) diffusion periphery** の4つのパラメータが算出されて自動的に代入されるように設定してあります。ただし、拡散の形状は

長方形であるとかいていしてパラメータを算出します。拡散の形状がこれ以外の場合には、実際のレイアウト形状に応じて拡散の面積、周囲長を計算し、該当するパラメータ値を修正してください。

6．記述を終えたら“OK”してください。

Property	Value	Display
Library Name	analogLib	off
Cell Name	nvcc=4	off
View Name	symbol	off
Instance Name	N()	off

CDF Parameter	Value	Display
Model name	cwccn	off
Multiplier	1	off
Width	9u M	off
Length	1u M	off
Drain diffusion area	9u*1.75u	off
Source diffusion area	9u*1.75u	off
Drain diffusion periphery	2*(9u+1.75u) M	off
Source diffusion periphery	2*(9u+1.75u) M	off
Drain diffusion res squares		off
Source diffusion res squares		off
Drain diffusion length	1.75u M	off
Source diffusion length	1.75u M	off
Device initially off	<input type="checkbox"/>	off
Drain source initial voltage		off
Gate source initial voltage		off
Bulk source initial voltage		off
Temp rise from ambient		off
Estimated operating region		off
Additional drain resistance		off
Additional source resistance		off
Temperature difference		off
Source/drain selector		off

チェックとセーブ

check コマンドは電氣的な接続関係に誤りがないかを調べます。チェックとセーブは同時に実行できます。**[Design][Check and Save]**を実行してください。

接続が不完全な端子は回路図エディタ上に黄色で点滅表示されます。またエラーの内容は、CIW に表示されます。ウィンドウが小さくて見にくい場合は、CIW ウィンドウを大きくしてください。

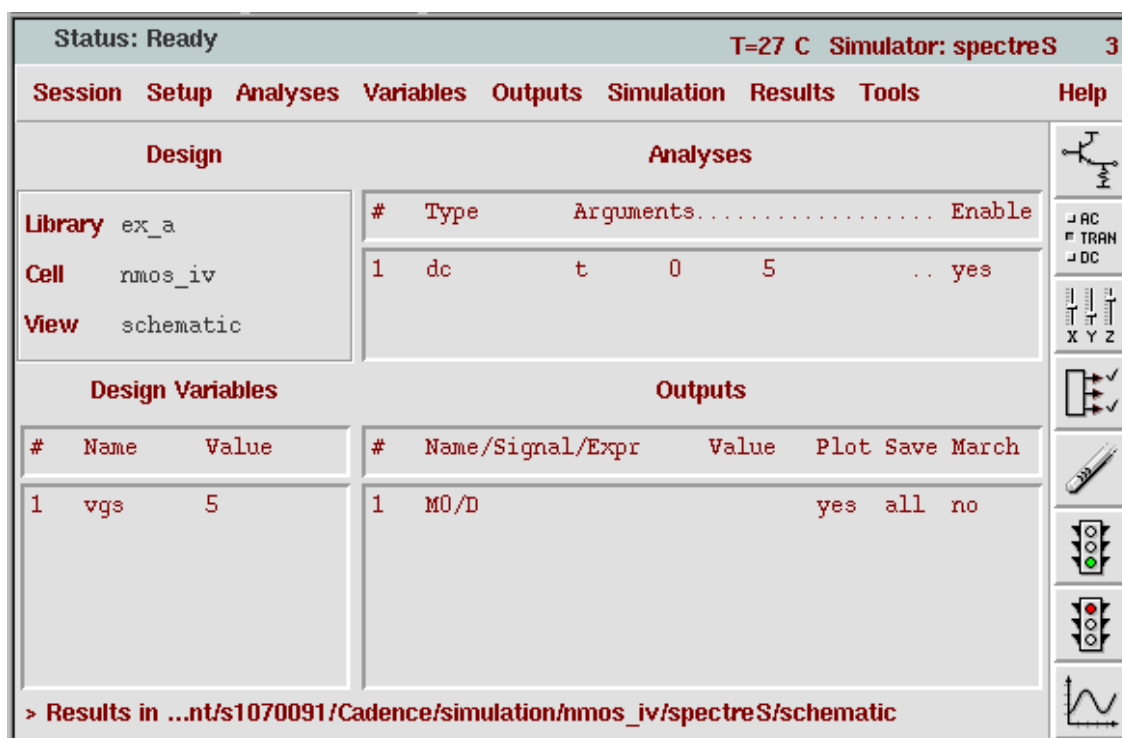
その他、回路図作成で使う主なコマンドとショートカットキーを最終ページの表 1 3 にあげておきます。

1 . 4 Ids-Vds 特性の測定

0・0 で作成した回路図を使って nmos の I-V をシミュレーションします。

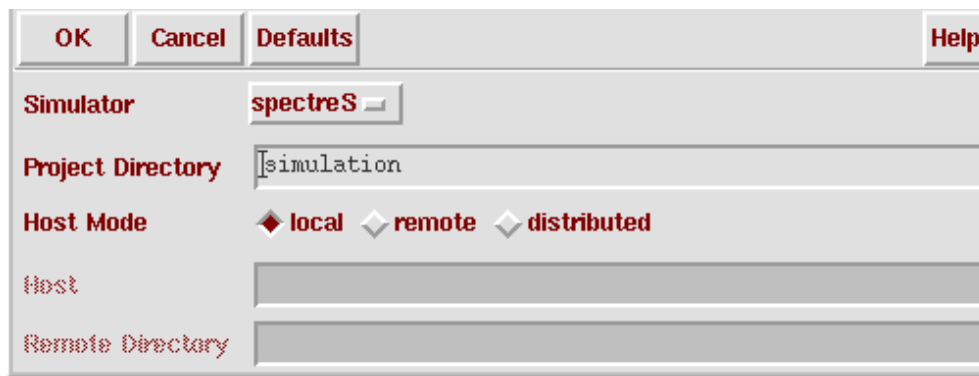
DC sweep 解析

1. Analog Artist のシミュレーション環境を起動します。[Tools] [Analog Environment] で Analog Artist Simulation ウィンドウが表示されます。



2. Analog Artist Simulation ウィンドウの [Setup] [Simulation/Directory/host] を選択。

Choosing Simulator/Directory/Host ウィンドウが表示。Simulator を “specterS” にして “OK” します。



3. Analog Artist Simulation ウィンドウの **[Setup] [Model Path...]** を実行します。
Setting Model Path ウィンドウが表示されます。

4. Corner の “**New Corner**” を左クリック。表示されたフォームの New Name を
“**typ**”
にして “**OK**” します。

5. New Directory に “**home/students/s107000/models/typ**” と入力し、“**Add Above**”
を左クリックして “**OK**” を左クリックします。

6. ゲートで電圧を設定します。回路図エディタで **[Edit] [Properties] [Object...]** を
押します。回路図からゲートに接続している電圧源を選択します。DC voltage の値
を “**1**” に変更し “**OK**” します。

7. **[Analyses] [Choose...]** を選択。Choosing Analyses ウィンドウが表示されます。

8. Analysis の dc ボタンを左クリックします。

9. Save DC Operating Point を左クリック。動作点解析の結果が保存されます。

10. ソース、ドレイン間電圧 V_{ds} を振らせます。Sweep Variable の Component
Parameter を左クリックして下さい。Select Component ボタンを左クリックしてか
ら回路エディタ上でソースドレイン間の電圧源 (V_{ds}) を左クリックします。ソース
ドレイン間電圧源とは図 6 における上側の電圧源です。Select Component Parameter
ウィンドウが開くので、dc vdc “DC Voltage” を選択します。

11. Choosing Analyses ウィンドウで、Sweep Range を Start=0, Stop=5 に選択し

ます。(単位は入力不要デフォルトの単位は V)

12. 以下のようになっていれば、Choosing Analyses のフォームを [OK]で閉じます。

OK Cancel Defaults Apply Help

Analysis ☒ tran ☒ dc ☐ ac ☐ xf ☐ sp ☐ pss ☐ pdisto ☐ noise ☐ spss

DC Analysis

Save DC Operating Point ☒

Sweep Variable

☐ Temperature ☒ Component Parameter ☐ Model Parameter

Component Name

Select Component

Parameter Name

Sweep Range

☒ Start-Stop ☐ Center-Span

Start Stop

Sweep Type

Automatic

Add Specific Points ☐

Enabled ☒ Options...

13. [Outputs] [Save All] 実行し、"Select all DC/Transient terminal currents"をチェックします。以下のようになっているか確認して "OK"。

OK Cancel Defaults Apply Help

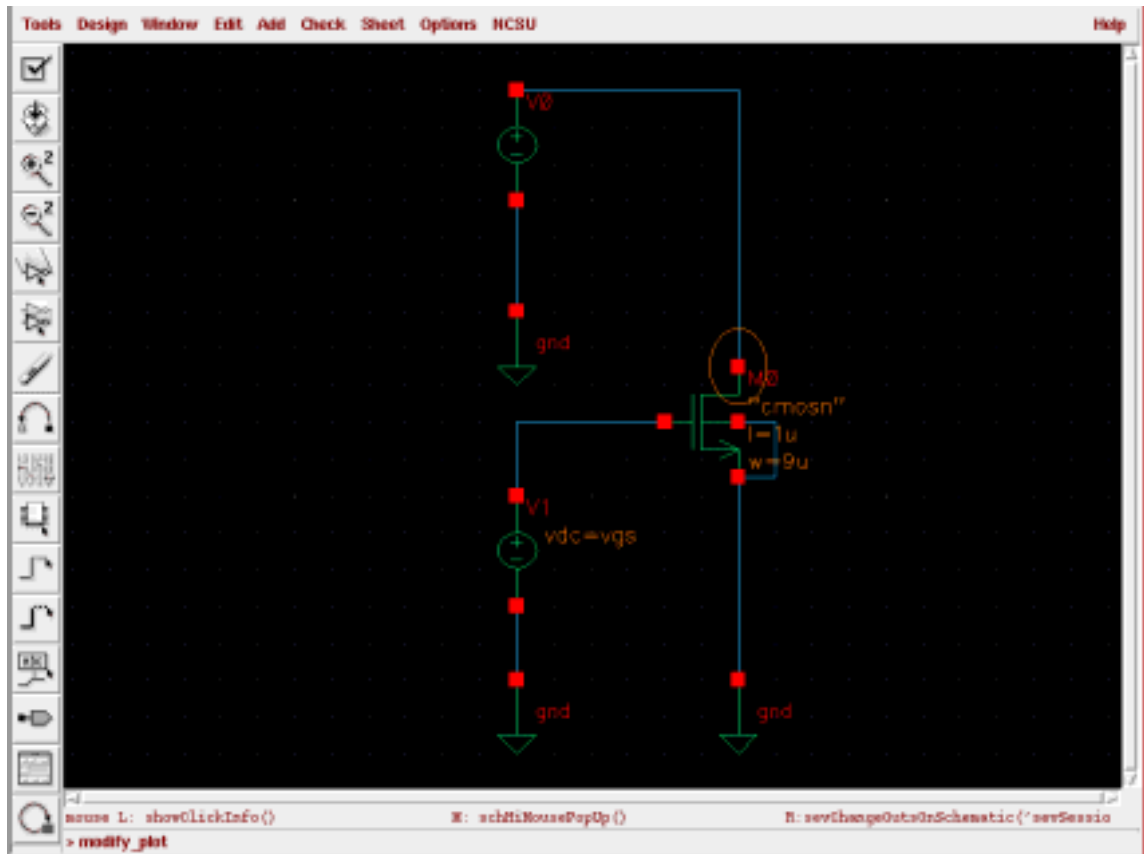
Select all node voltages ☒

Select all DC/Transient terminal currents ☒

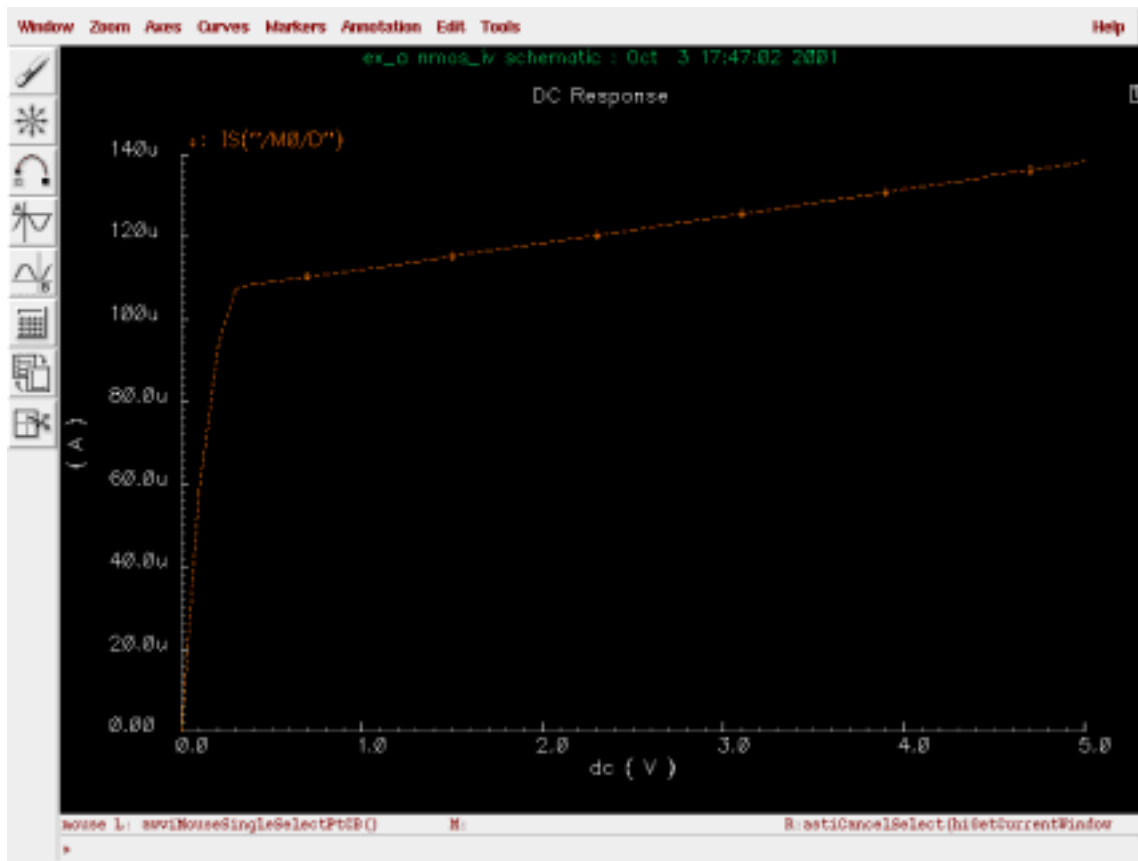
Select all AC terminal currents (useprobes) ☐

Save All AHD Module Variables ☐

14. Analog Artist Simulation ウィンドウの **[To Be Plotted] [select On Schematic]** を実行する。回路図上のトランジスタのドレイン端子を選択する。ドレイン電流の結果がセーブされます。Artist では、ノード電圧の解析結果はデフォルトで確認できるが電流はあらかじめ指定しておく必要があります。



15. **[Simulation] [Run]** 実行。Welcome to Spectre のウィンドウが開きますが、**[OK]** を押して閉じてください。CIW ウィンドウに **unsuccessful** とでたら失敗です。成功すれば Waveform ウィンドウに波形が表示されます。



パラメトリック解析

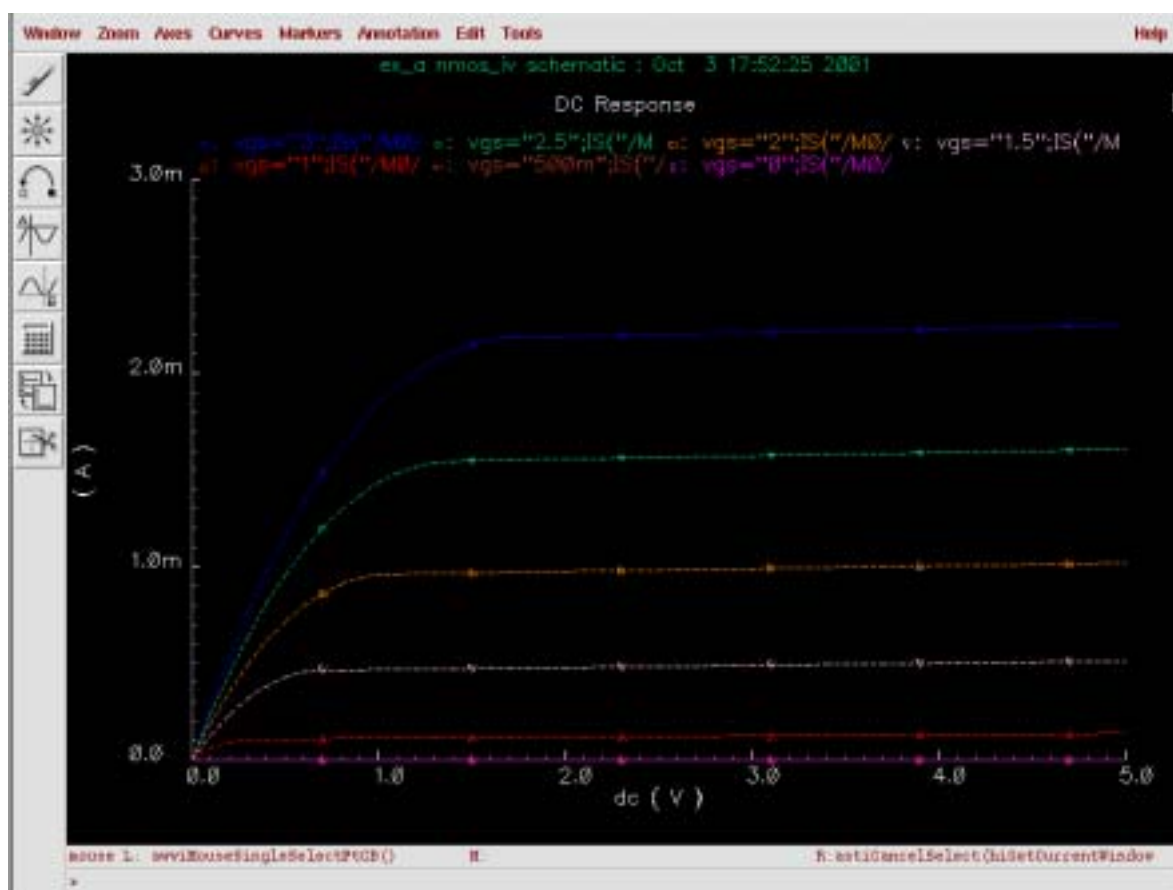
nmos4 の Id-Vds 特性を Vgs の値を変化させてシミュレーションします。そのために Vgs の値をパラメーターに指定して、この値を順次変化させて波形を観察します。

1. 回路図エディタの[Edit] [Properties] [Object] を実行します。回路図からゲートに接続している電圧源を選択します。DC voltage の値を “Vgs” に変更して “OK” します。
2. 変数 vgs を Artist のシミュレーション環境に読み込ませます。Analog Artist Simulation ウィンドウの [Variables] [Copy From Cellview] を選択すると、Analog Artist ウィンドウの左下の Design Variables に vgs が現れます。
3. Analog Artist Simulation ウィンドウから [Tools] [Parametric Analysis...] を実行します。Parametric Analysis のウィンドウが開きます。
4. Parametric Analysis のウィンドウで設定を行います。Variable Name に変数 “vgs” を入力し、From に “0” を To に “3” を入力。Total Step は “7” にします。(0.5V

刻み)

5. Parametric Analysis のウィンドウで[Analysis] [Start] を実行。CIW に
“ parametric simulation complete ” と出たら成功です。

6. [Results] [Direct Prot] [DC] を実行して結果を確認できます。



バナー メニュー	コマンド	機能	バインドキ ー
Design	Check and Save	チェックの後セーブ	X
Design	Save	セーブ	S
Window	Zoom In	表示のズームイン	z
なし	なし	表示のズームアウト	^z
Window	Pan	表示のパン	矢印キー
Window	Fit	全画面表示	f
Window	Close	回路図を閉じる	なし
Edit	Stretch	オブジェクトのストレッチ	m
Edit	Copy	チ	c
Edit	Move	オブジェクトのコピー	M
Edit	Delete	オブジェクトの移動	delete, d
Edit	Undo	オブジェクトの消去	u
Edit	Redo	アンドゥ	U
Edit	[Properties][Objects	リドゥ	q
Add	...]	素子のプロパティの編集	i
Add	Component...	素子の配置	w
Add	Wire(narrow)	配線	W
Add	Wire(wide)	バス配線	l
Add	Wire Name	配線ラベル	p
Add	Pin...	ピン配置	なし
Check	Solder Dot	ジャンクションドット	x
	Current Cellview	チェック	

主な回路図エディタのコマンド

5．インバータの基礎と応用

5．1．MOS インバータの伝達特性

(1) 目的

論理素子の基本である CMOS インバータの伝達特性について学習する。

(2) 伝達特性の解析

図 5.1 は CMOS インバータの伝達特性を示す。

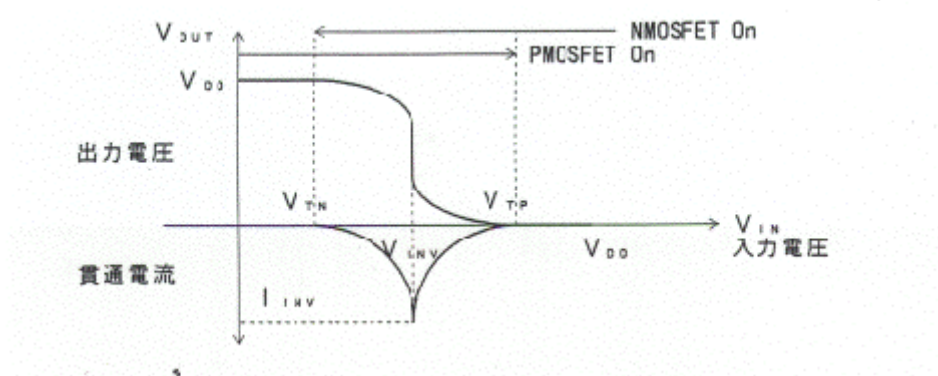


図 5.1 Inverter の伝達特性

(1) $V_{IN} < V_{TN}$ の時：PMOSFET のみが ON。

$$V_{OUT} = V_{DD} \quad (5.1)$$

(2) $V_{IN} = V_{INV}$ の時：NMOSFET も PMOSFET もともに飽和領域にある。

$$I_{DN} = \frac{\beta_N}{2(V_{INV} - V_{TN})^2} \quad (5.2)$$

$$I_{DP} = \frac{\beta_P}{2(V_{INV} - V_{DD} - V_{TP})^2} \quad (5.3)$$

$I_{DN} = -I_{DP}$ だから、論理しきい値は、

$$V_{INV} = \frac{V_{DD} + V_{TN} \sqrt{\frac{\beta_N}{\beta_P}} + V_{TP}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (5.4)$$

である。この時のドレイン電流は

$$I_{INV} = \frac{\beta_N}{2} \left\{ \frac{V_{DD} - V_{TN} + V_{TP}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \right\} \quad (5.5)$$

となる。

(3) $V_{DD} + V_{TP} < V_{IN}$ の時 :

$$V_{OUT} = 0 \quad (5.6)$$

となる。 β_N/β_P はインバータの特性を決める重要な量である。これをベータレシオ β_R と呼ぶ。ベータレシオを大きくするとハイレベルを検出し易くなる。(図 5.2)

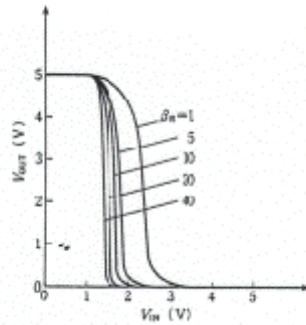


図 5.2 Inverter の伝達特性の β_R による変化

(3) ノイズマージン

ゲートの入力にノイズが印加されても出力が変動しない許容度をノイズマージンと呼ぶ。図 5.3 に示すように、前段インバータ出力の H レベルの最小値 $V_{OH_{min}}$ と後段インバータの H レベルとして認識できる最小値 $V_{IH_{min}}$ との差を H レベルのノイズマージン NM_H という。

$$NM_H = V_{OH_{min}} - V_{IH_{min}}$$

一方、前段インバータ出力の L レベルの最大値 $V_{OL_{max}}$ と後段インバータが L レベルとして認識できる最大値 $V_{IL_{max}}$ との差を L レベルのノイズマージン NM_L という。

$$NM_L = V_{IL_{max}} - V_{OL_{max}}$$

出力レベルの V_{OH} が高いほど、 V_{OL} は低いほどマージンが広がる。入力レベルは V_{IH} が低いほど、 V_{IL} が高いほど良い。

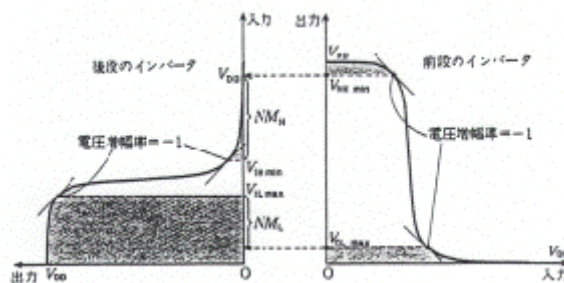


図 5.3 Inverter のノイズマージン

5.2. 演習

(1) インバータの伝達特性の測定

すでに MOSFET の特性の測定で利用した 4069UB Hex Inverter について CMOS インバータの $V_{IN} - V_{OUT}$ 特性、および $V_{IN} - I_{DD}$ 特性を測定する。

実験

(1) 試料

4069UB Hex Inverter

(2) 測定用機器

DC 電源、電流/電圧計 2 台

(3) 測定

$V_{IN} - V_{OUT}$ 特性の測定せよ。また、 $V_{IN} - I_{DD}$ 特性を測定せよ。

(4) 課題

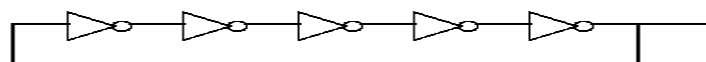
$V_{DD} = 5, 10, 15V$ の各動作条件で、論理反転電圧、 V_{INV} とノイズマージンを評価せよ。

(5) 考察

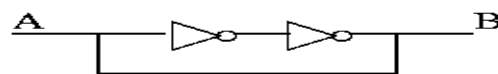
ベータレシオを変えたときに、インバータの伝達特性はどのように変わるか考察せよ。また、このインバータで NMOSFET と PMOSFET でチャンネル幅が異なっているが、なぜこのようにしているか考察せよ。

(2) インバータの応用

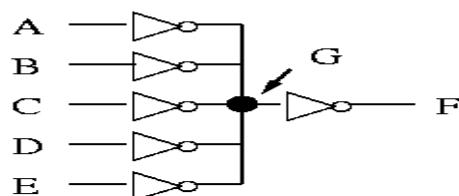
インバータは MOS 集積回路の中でさまざまな形で使用されている。そのいくつかの例をあげる。



(1) Ring Oscillator



(2) Latch



(3) Majority Decision

図 5.4 インバータの応用

課題：

(1) リングオシレータ

インバータを図 5 . 4 (A) のように奇数段直列に接続する。出力端子の電圧波形を観測せよ。その波形について考察せよ。

(2) ラッチ回路

図 5 . 4 . (B) のようにインバータを 2 段接続し、A の端子に “ 1 ” を入力した後 (Function Generator の直流出力を接触させる) 入力を切り離す。“ B ” の端子の電圧を観測せよ。また、A の端子に “ 0 ” を入力した時はどのようなになるか。

SRAM のメモリセルを調査し、この回路と比較し検討せよ。

(3) 多数決回路

インバータを図 5 . 4 . (C) のように接続する。入力信号に対して出力はどのようなになるか。G のノードの電圧は入力信号の数に対してどのように変化するか。この回路を基礎に AND 回路、OR 回路を構成するにはどのようにするか考察せよ。

6 . インバータの動特性

伝播遅延時間と消費電力の評価

6 . 1 . 目的

CMOS 回路のスイッチング特性を実験により学習する。

6 . 2 . インバータの特性

すでに学習したように CMOS インバータは PMOSFET と NMOSFET とで構成されている。NMOSFET と PMOSFET の電流電圧特性は以下のようにあらわされる。

NMOSFET :

$V_{OUT} < V_{IN} - V_{TN}$ のとき

$$I_{DN} = \beta_N \left\{ (V_{IN} - V_{TN}) V_{OUT} - \frac{1}{2} V_{OUT}^2 \right\} \quad (6.1)$$

$V_{OUT} > V_{IN} - V_{TN}$ のとき

$$I_{DN} = \frac{1}{2} \beta_N (V_{IN} - V_{TN})^2 \quad (6.2)$$

PMOSFET :

$V_{OUT} < V_{IN} + |V_{TP}|$ のとき

$$I_{DP} = \beta_P \left\{ (V_{IN} - V_{DD} - V_{TP}) V_{OUT} - \frac{1}{2} (V_{OUT} - V_{DD})^2 \right\} \quad (6.3)$$

$V_{OUT} > V_{IN} + |V_{TP}|$ のとき

$$I_{DP} = \frac{1}{2} \beta_P (V_{IN} - V_{DD} - V_{TP})^2 \quad (6.4)$$

ここで、 $\beta_N = \frac{W}{L} \mu_N C_{OX}$ 、 $\beta_P = \frac{W}{L} \mu_P C_{OX}$ である。

6 . 3 . インバータのスイッチング特性

MOS 集積回路のスイッチング特性は負荷容量の充放電特性で決る。この時、負荷容量はインバータの出力部のソースまたはドレインの接合容量、次段までの配線の容量、次段のゲート容量の総和である。但し、配線が長い場合、配線の抵抗が高い場合には配線部を容量と抵抗のチェーンとして記述する必要があり、取り扱いが変わる。容量の算出については別途、学習する。今、図 6.1 のように負荷容量を C_L とする等価回路を考える。

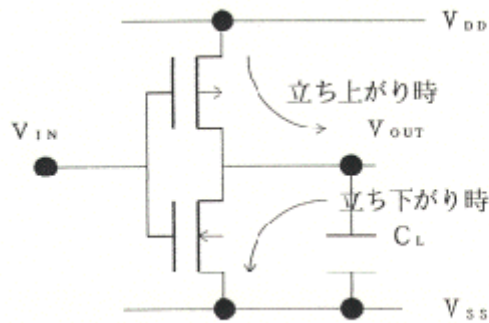


図 6 . 1 . スイッチング特性の解析

立下り特性：

立下り時間は出力電圧が $0.9V_{DD}$ から $0.1V_{DD}$ まで変化する時間である。これは二つの領域に分けて計算される。

1 . $0.9V_{DD}$ では MOSFET は飽和領域にあるので、 $0.9V_{DD}$ から V_{OUT} がピンチオフ点 ($V_{OUT} = V_{DD} - V_{TN}$) まで変化する時間。

2 . ピンチオフ点以降では MOSFET は線形領域にあり、 V_{OUT} がピンチオフ点 ($V_{OUT} = V_{DD} - V_{TN}$) から $0.1V_{DD}$ まで変化する時間。

1 . の領域

$$I_{DN} = \frac{dQ_L}{dt} = C_L \frac{dV_{OUT}}{dt} \text{ であるから、}$$

$V_{OUT} > V_{IN} - V_{TN}$ のとき

$$C_L \frac{dV_{OUT}}{dt} = -\frac{1}{2} \beta_N (V_{IN} - V_{TN})^2 \quad (6.5)$$

である。

$t=0$ のとき V_{IN} が V_{DD} となり、負荷容量が放電し始めるとする。 $V_{OUT} = 0.9V_{DD}$ から、 $V_{OUT} = V_{DD} - V_{TN}$ となる時間、 t_M を求める。これは(6.5)により得られる。

$$t_M = \frac{2C_L(V_{TN} - 0.1V_{DD})}{\beta_N(V_{DD} - V_{TN})^2} \quad (6.6)$$

$V_{OUT} < V_{IN} - V_{TN}$ のとき MOSFET は線形領域にあり、

$$C_L \frac{dV_{OUT}}{dt} = -\beta_N \left\{ (V_{IN} - V_{TN})V_{OUT} - \frac{1}{2}V_{OUT}^2 \right\} \quad (6.7)$$

である。

出力電圧が $V_{OUT} = V_{DD} - V_{TN}$ から、 $V_{OUT} = 0.1V_{DD}$ となる時間を(6.7)により求める。

$$t_N = \frac{C_L}{\beta_N(V_{DD} - V_{TN})} \ln \left(\frac{19V_{DD} - 20V_{TN}}{V_{DD}} \right) \quad (6.8)$$

立下り時間全体は

$$t_f = t_M + t_N = 2 \frac{C_L}{\beta_N(V_{DD} - V_{TN})} \left[\frac{V_{TN} - 0.1V_{DD}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln \left(\frac{19V_{DD} - 20V_m}{V_{DD}} \right) \right] \quad (6.9)$$

となる。

$$V_{TN} = 0.2V_{DD} \text{ のとき、 } t_f = 3.70 \frac{C_L}{\beta_N V_{DD}} \quad (6.10)$$

$$V_{TN} = 0.1V_{DD} \text{ のとき、 } t_f = 3.15 \frac{C_L}{\beta_N V_{DD}} \quad (6.11)$$

と近似される。

立ち上がり特性は PMOSFET が動作状態になった場合について(6.5)、(6.7)の微分方程式と同様な方程式が成り立ち、(6.10)、(6.11)と同様に、

$$|V_{TP}| = 0.2V_{DD} \text{ のとき、 } t_r = 3.70 \frac{C_L}{\beta_P V_{DD}} \quad (6.12)$$

$$|V_{TP}| = 0.1V_{DD} \text{ のとき、 } t_r = 3.15 \frac{C_L}{\beta_P V_{DD}} \quad (6.13)$$

が成り立つ。

6 . 4 . インバータの消費電力

(1) 待機時消費電力

CMOS インバータでは入力に矩形パルスを加えた場合、NMOSFET、PMOSFET のいずれか一方が原則的には常に非導通となっている。しかし、MOSFET の接合リーク電流、あるいはサブスレシヨルド電流が存在するため、完全には非導通にはなっていない。この電流が MOSLSI のスタンバイ電流（待機時電流）となる。この電力消費は携帯端末のように外部電源を持たないシステムでは十分考慮しなければならない。特に、電源電圧の低下に伴い、しきい電圧が必然的に低下せざるを得ず、そのためサブスレシヨルド電流が増加する傾向にある。ゲートあたりのスタンバイ電流を i とし、電源電圧を V_D とすれば、ゲート数が N の LSI では待機時消費電力は

$$P_S = N \cdot i \cdot V_D \quad (6.14)$$

である。

待機時消費電力を減少させることと、動作時の低しきい電圧化を両立させるためには、待機時にしきい電圧を高くする必要があり、このために待機時に基盤電圧を高く（NMOSFET では負電圧、PMOSFET では正電圧）する回路技術が考えられている。

(2) 動作時消費電力

CMOS 回路の動作時消費電力は負荷容量の充放電電流によって決る。

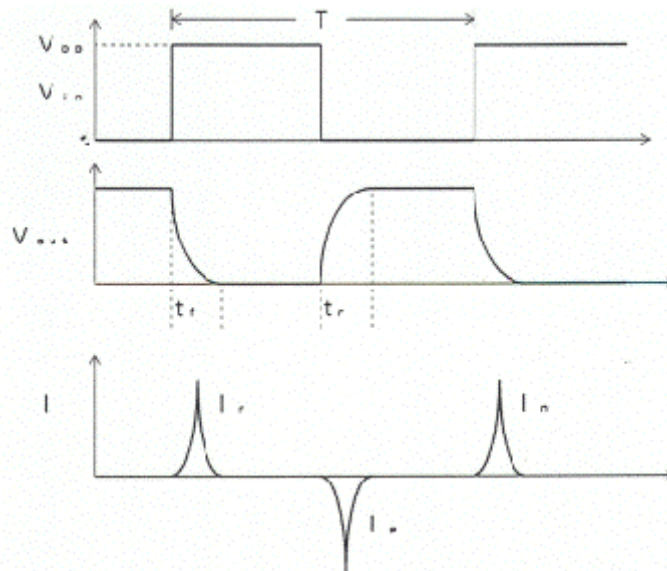


図 6 . 2 . 消費電力の解析、入力波形、出力波形、MOSFET の電流（概念図）

今、CMOS インバータの場合を考える。パルスの周期を T とすると、消費電力は

$$P = \frac{1}{T} \left[\int_0^{T/2} I_n V_{out} dt + \int_{T/2}^T I_p (V_{DD} - V_{out}) dt \right] \quad (6.15)$$

である。ここで、 $I_n = C_L \frac{dV_{out}}{dt}$ 、 $I_p = C_L \frac{d(V_{DD} - V_{out})}{dt}$ である。(6.15)式は簡単に積分でき、

$$P = \frac{C_L}{T} V_{DD}^2 = f C_L V_{DD}^2$$

を得る。 f は周波数である。このように、CMOS インバータの消費電力は周波数、負荷容量に比例し、電源電圧の二乗に比例して増加する。

演習（実験）

インバータの動特性の測定

(1) 目的：CMOS インバータの動特性を実験により評価する。

(2) スイッチング特性の測定

試料：	インバータ	TC4049UBP
	キャパシタ	1000 pF, 500pF, 100pF
	キャパシタ	10 μ F

測定用機器

ファンクション ジェネレータ、直流安定化電源、デジタル マルチメータ、
2 現象オシロスコープ

測定回路

下図の測定回路による。

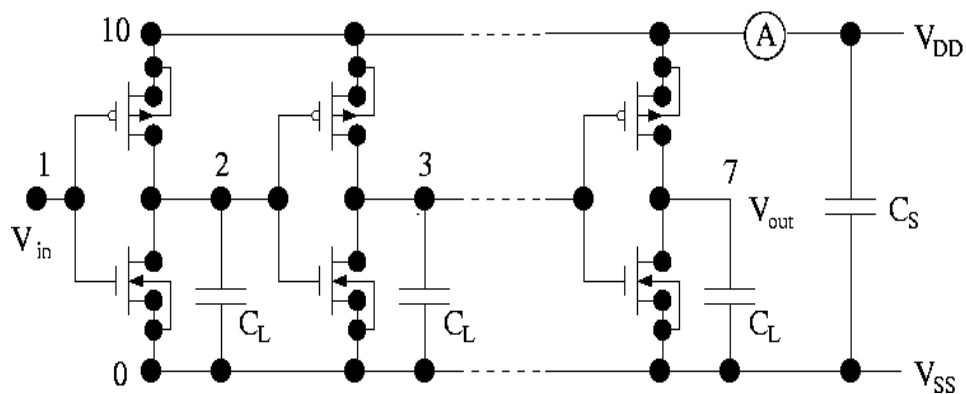


図 6 . 3 . インバータチェーンの測定回路

伝播遅延時間の定義と測定

ゲートの性能は立ち上がり時間、 t_r 、立下り時間、 t_f 、伝播遅延時間、で定義される。

立ち上がり時間、立下り時間は出力電圧が 10 % から 90 % に変化する時間である。伝播遅延時間は図 6 . 4 . のように定義される。

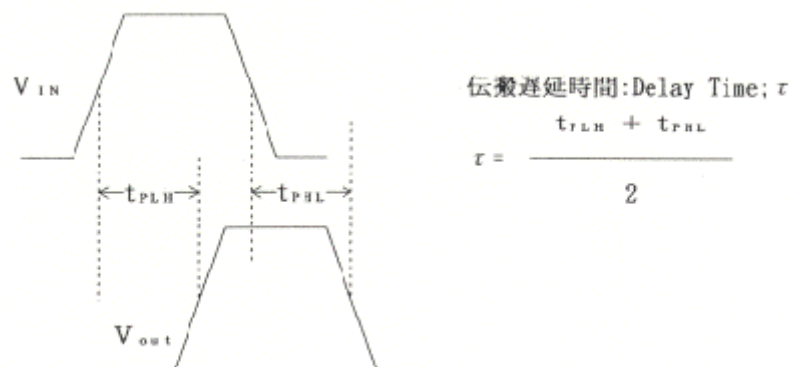


図 6 . 4 . 伝播遅延時間の定義

Vin にファンクション ジェネレータからの出力を接続し、Vin と Vout との位相差を測定する。n 段のインバータ チェーンを用いて測定したときに、一段あたりの伝播遅延時間は t_{pd}/n である。

課題 1 .

$C_L = 1000\text{pF}$ の時に、 V_{DD} を 5、10、15V として入力波形と出力波形を比較し、遅延時間を測定せよ。

$V_{DD} = 5\text{V}$ の時に、 C_L を 1000pF、500pF、100pF として遅延時間を測定せよ。

$C_L = 1000\text{pF}$ 、 $V_{DD} = 5\text{V}$ の時に、入力パルスの周期を変え、遅延時間の周波数依存性を測定せよ。

(3) 消費電力の測定

$C_S = 1000\mu\text{F}$ とし、 V_{DD} から回路に流れる電流を直流の平均電流として測定する。インバータ一段あたりの消費電力はこの平均電流をインバータ チェーンの段数で割った値である。消費電力は $P = I_{DD} \times V_{DD}$ である。

課題 2 .

$C_L = 1000\text{pF}$ の時に、 V_{DD} を 5、10、15V として消費電力を測定せよ。

$V_{DD} = 5\text{V}$ の時に、 C_L を 1000pF、500pF、100pF として消費電力を測定せよ。

$C_L = 1000\text{pF}$ 、 $V_{DD} = 5\text{V}$ の時に、入力パルスの周期を変え、消費電力の周波数依存性を測定せよ。

8 . 回路シミュレーション (1)

伝播遅延時間と消費電力の解析

8 . 1 . 目的

ここでは Cadence Spice を用いて回路シミュレーションの基礎を学習する。回路シミュレーションは論理レベルで設計した回路を具体的に Si 上の実現した際の速度性能、消費電力を設計する重要な段階である。

ここでは、前回の演習で実際に評価したインバータチェーンの性能と回路シミュレーションで得られた性能とを比較する。ここで使用する素子特性のパラメータは演習第 2 回などですでに評価してあるパラメータを用いる。

8 . 2 . 伝播遅延時間の解析

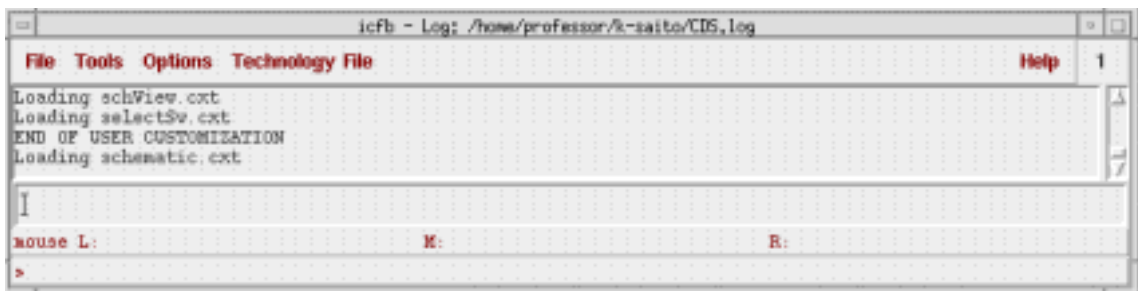
Cadence Spice についてはすでに演習第 3 回で一部を説明した。ここでは特に回路解析部分について説明する。

Cadence Spice の使用方法 (1 .Schematic Editor を用いた回路シミュレーション)

1 . 回路シミュレータの起動

% icfb& を入力し、Cadence システムを起動。

'icfb-Log' window が開く。



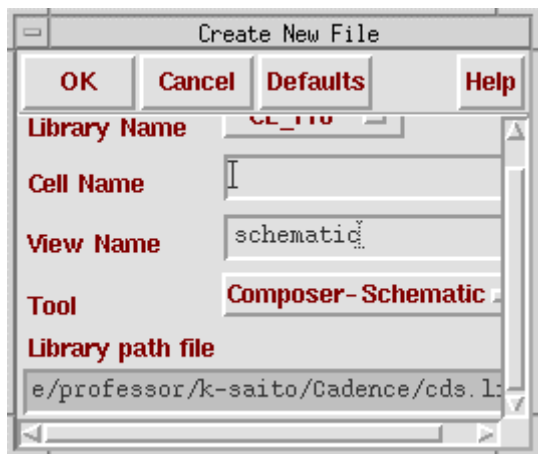
[File][Open]

'Open File' window が開く。

2 . 新規回路図の作成

[File][New][Cellview]を選択。

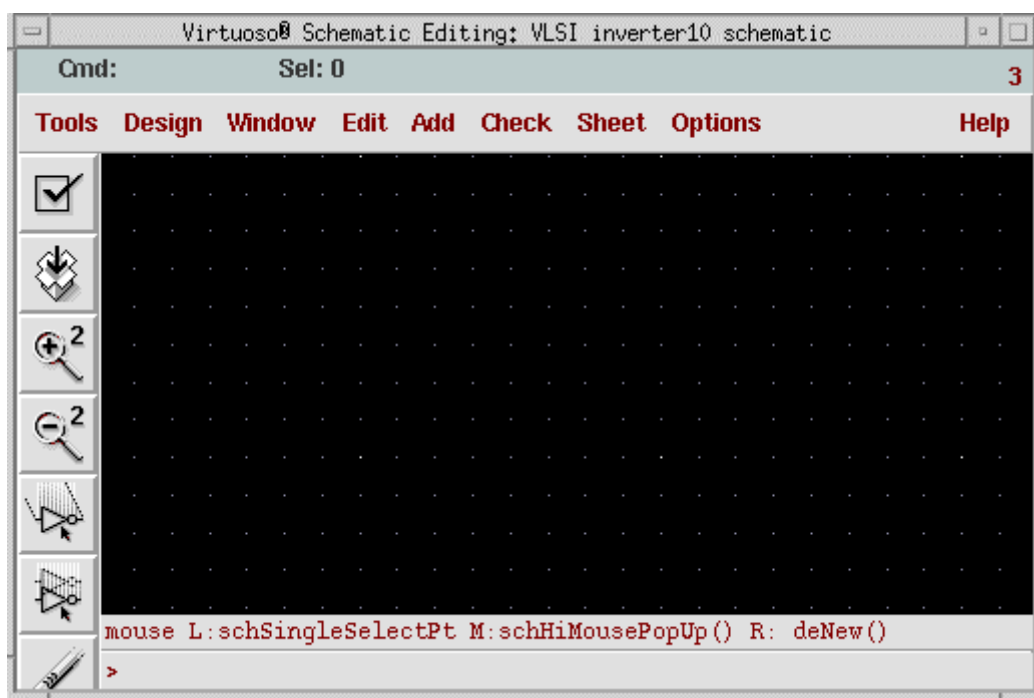
'Create New File' window が開く。



Library Name **VLSI**

Cell Name 新規に作成する回路名を入力。例：**inverter0**

'Virtuoso Schematic Editing' window が開く。



例（演習）：第 6 回で測定した回路の回路図を作成する。

素子の入力：

[Add][Instance]をクリック（アイコンも準備されている）。'**Component Browser**'が開く。ライブラリは下記の構成となっている。この中から適切な素子を選択、配置し、

[Edit]内のコマンドを用いて回路図を作成。(Edit コマンドのアイコンも準備されている。) 素子を入力し終わったら、**Esc** キーを押す。

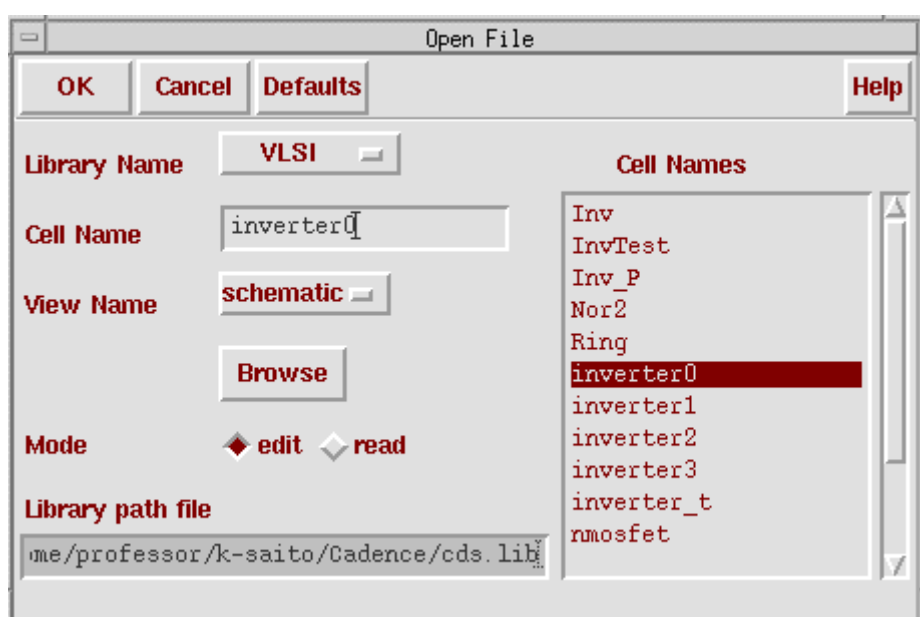
Library		AnalogLib		Uncategorized	
				Active	
				Analysis	
				Parasitics	
				Passive	
		Sources		Dependent	
				Globals	
				Independent	
				Ports	
		Z_S_Domain			

回路図の作成を完了したら、[Window][Close]し、作成した回路図を Save する。

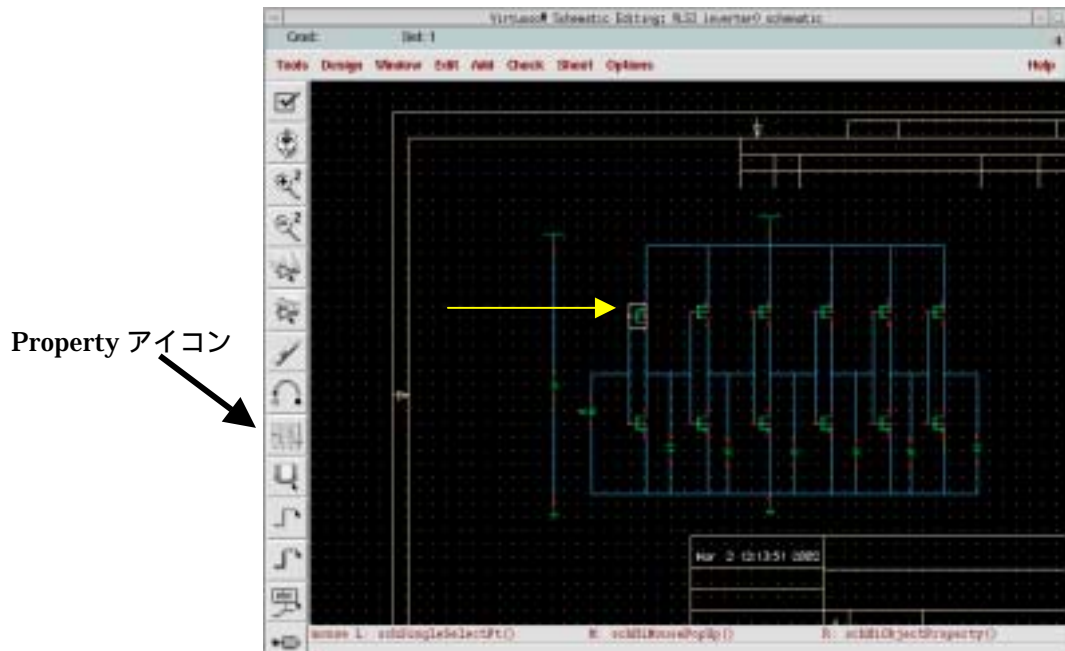
3. 解析対象回路の選択

以下を選択する。

Library Name **VLSI**
Cell Name **inverter0 (例)**
View Name **schematic**
Mode **edit**



[OK]を入力すると'Virtuoso Schematic Editing' window が開く。



4. 回路図の編集

(1) [Design][Make Editable]を確認する。

Editable の時は画面左のアイコンが active になっている。

(2) **Properties** アイコンをクリック。'Edit Object Properties' window が開く。

CDF Parameter の **value** を設定。

MOSFET 等のアクティブ素子の場合には **Model Name** で **models** ファイル中のモデル名を指定。注：models ファイルでは.m の拡張子が付いているが、この欄には拡張子を除いて記入。

注：演習では演習第4回で作成した MOSFET の model を使用する。

(3) [OK]を入力すると回路図のパラメータが変更される。

Edit Object Properties

OK Cancel Apply Defaults Previous Next Help

Apply To

Show ☐ system ☒ user ☒ CDF

Browse Reset Instance Labels Display

Property	Value	Display
Library Name	analogLib	off
Cell Name	pnos	off
View Name	symbol	off
Instance Name	M	off

Add Delete Modify

CDF Parameter	Value	Display
Model name	cnos	off
Multiplier	1	off
Width	20u	off
Length	500.0n	off
Drain diffusion area	10u+10u	off
Source diffusion area	10u+10u	off
Drain diffusion periphery	2+(10u+10u)	off
Source diffusion periphery	2+(10u+10u)	off
Drain diffusion res squares	1	off
Source diffusion res squares	1	off
Drain diffusion length	10u	off
Source diffusion length	10u	off
Device initially off	<input type="checkbox"/>	off

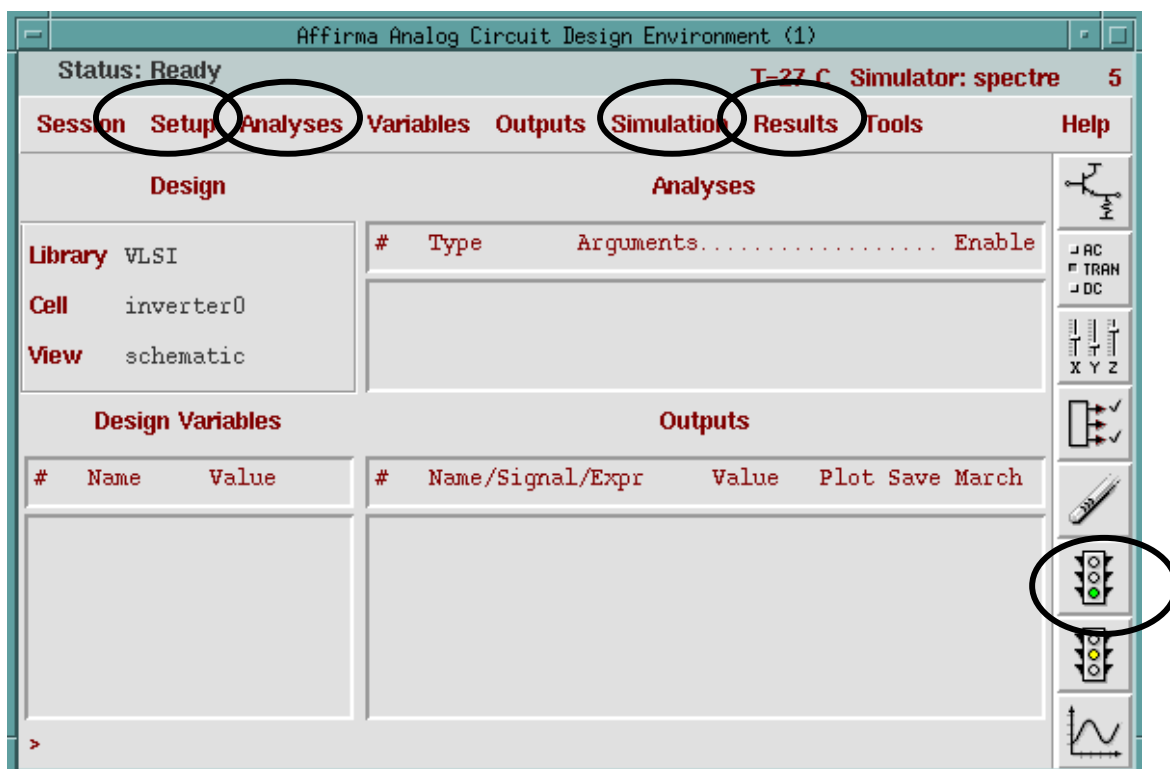
5 . シミュレーションの実行

5 . 1 . シミュレータの設定

'Virtuoso Schematic Editing' window を表示。

[Tools][Analog Environment]を選択。

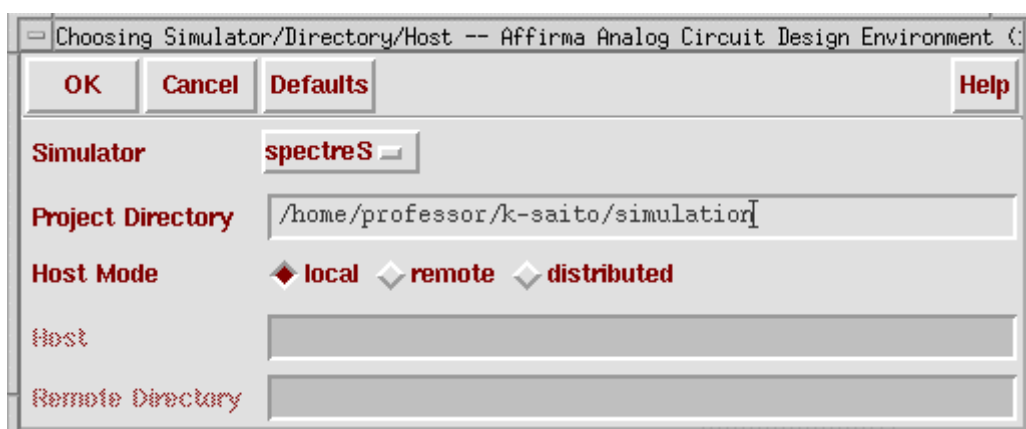
'Analog Circuit Design Environment' window が開く。



[Setup][Simulator/Directory/Host...]を選択。

‘Choosing Simulator ...’ window が開く。

Simulator SpectreS を選択。[OK]。



‘Virtuoso Schematic Editing’ window から一旦回路図が消えて、再び現れ設定が完了。

5 . 2 . 素子モデルの設定

‘Analog Circuit Design Environment’ window で[Setup][Model Path...]を選択。

‘Setting Model Path’ window が開く。

New Directory に MOSFET の model ファイルのあるディレクトリを記入。(現在の例では~/Cadence/models) **[Add Above]**。

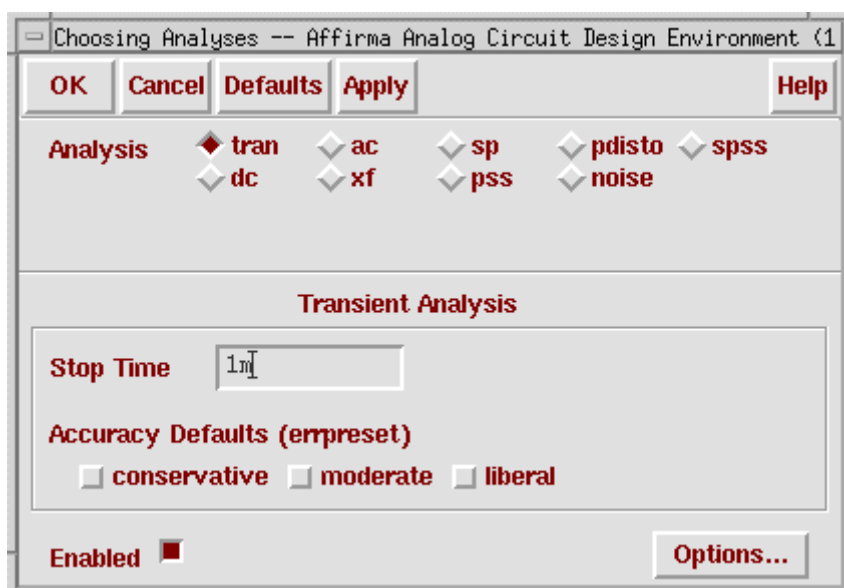
Directories で選択。 **[OK]**。



5 . 3 . 解析条件の設定と実行

‘**Analog Circuit Design Environment**’ window で**[Analyses][Choose]**を選択。

‘**Choosing Analyses**’ window が開く。



Analysis **tran** を選択。 **Stop Time** (1 msec 1 m、 1 μ sec 1 u、 1 nsec
1 n) を指定。

‘**Analog Circuit Design Environment**’ window の **Analyses** で設定値を確認。

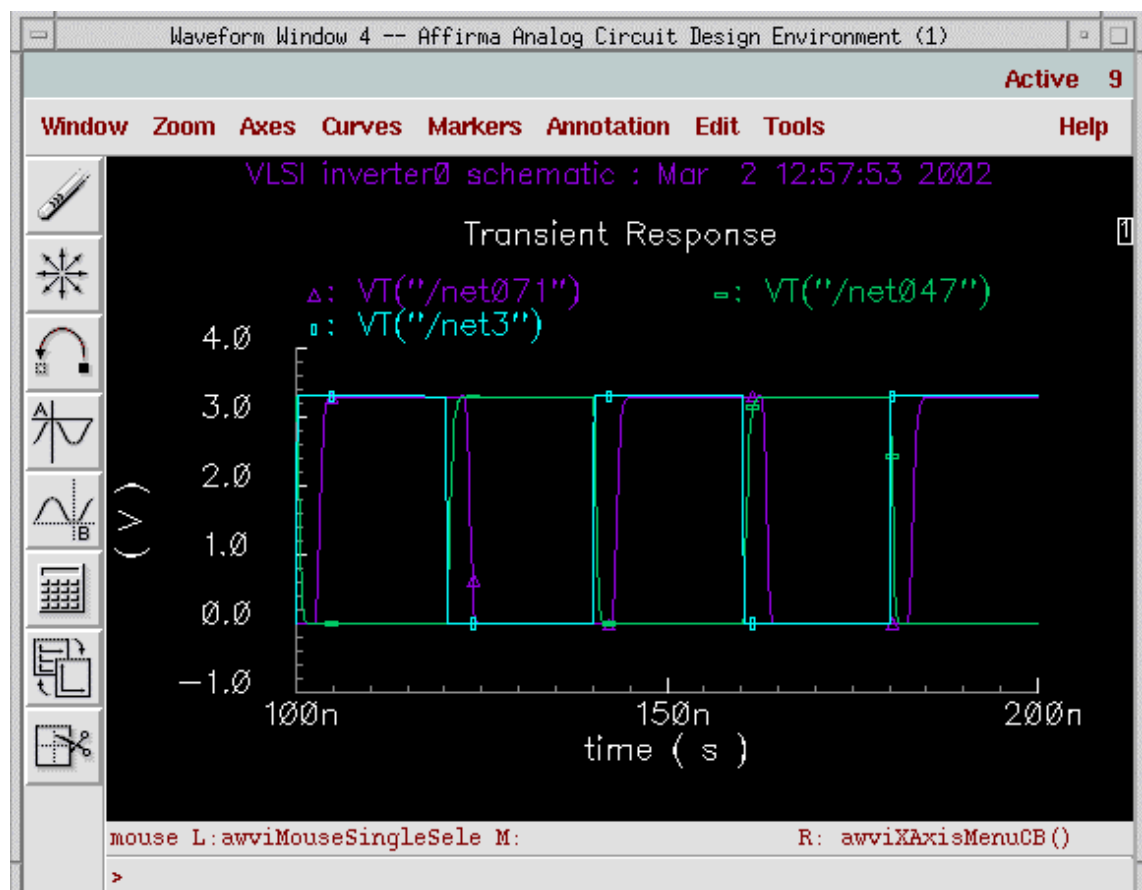
[**Simulation**][**Run**].

‘**Icgb-Log**’ window に “successful”が表示されればシミュレーションは成功。

‘**Analog Circuit Design Environment**’ window で[**Result**][**Direct Plot**][**Transient Signal**]を選択。

回路図上で評価したい配線を選択。選択されると色が変わる。選択し終わったら **Esc** キーを押す。

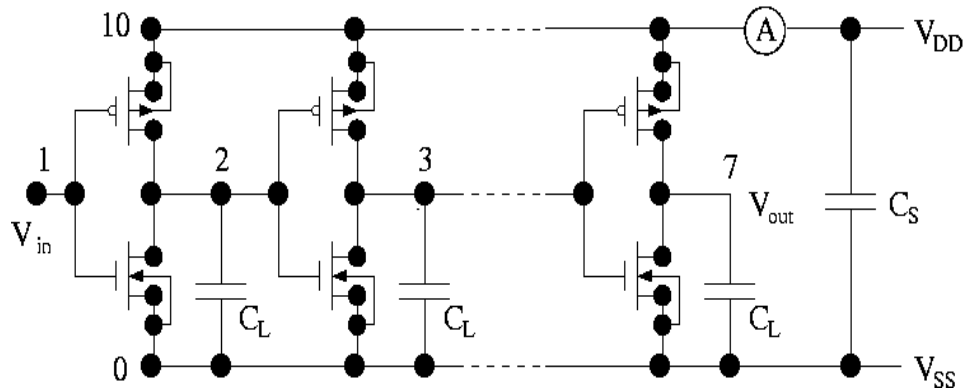
‘**Waveform Window**’に解析結果が出力される。



[**Markers**]などのツールを利用して解析する。

演習 1

第 6 回演習で評価した下記の回路のネットリストを作成し、以下に示すシミュレーションを実施し、その結果と実測値とを比較検討せよ。



(1) 伝播遅延時間の評価

課題：すでに実行したシミュレーション結果について、入力波形と出力波形を測定しハードコピーで出力せよ。

課題：インバータの各段に接続した負荷容量 C_L を、100pF、500pF、1000pF と変え、インバータ一段あたりの伝播遅延時間を評価し、グラフを作成せよ。

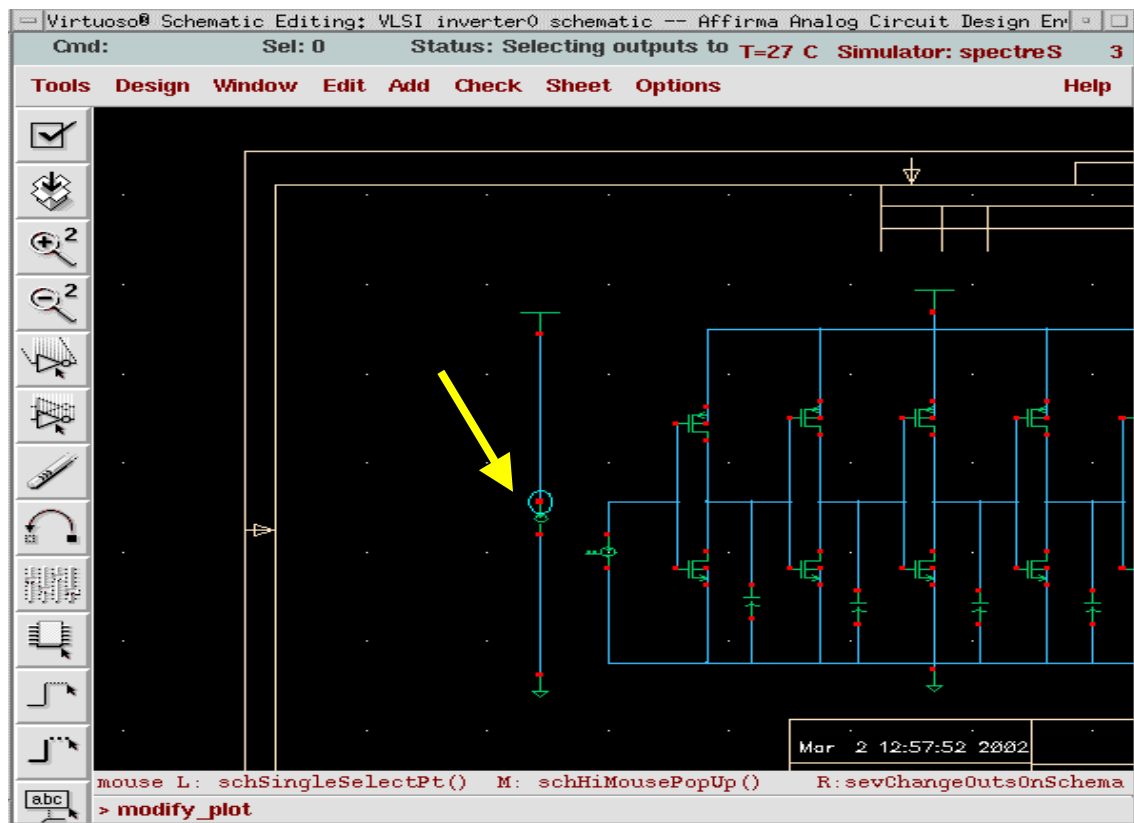
7. 2. 消費電力の解析

(1) 電流の測定

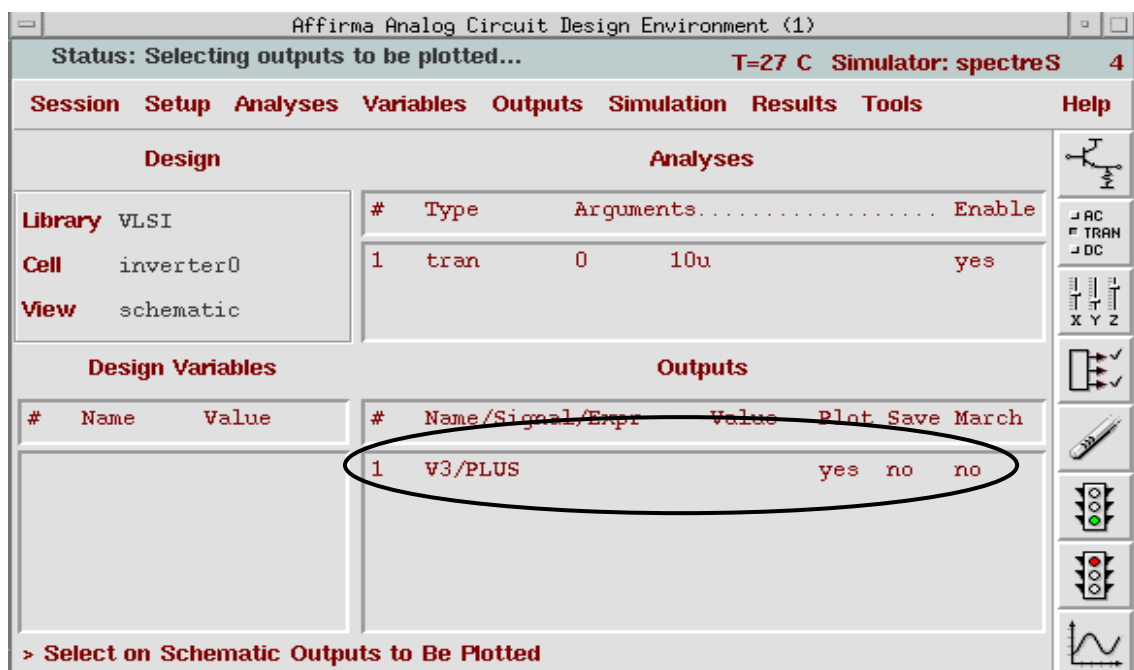
‘Analog Circuit Design Environment’ window で[Output][to be Plotted][Select On Schematic]を選択。

Schematic 図中の所望の端子をクリックする。電流を評価する端子が設定されると楕円が付く。

注：MOSFET のシミュレーションのところでも述べたように、電流の評価の場合には予めネットリスト上で解析する箇所を指定して置かなければならない。



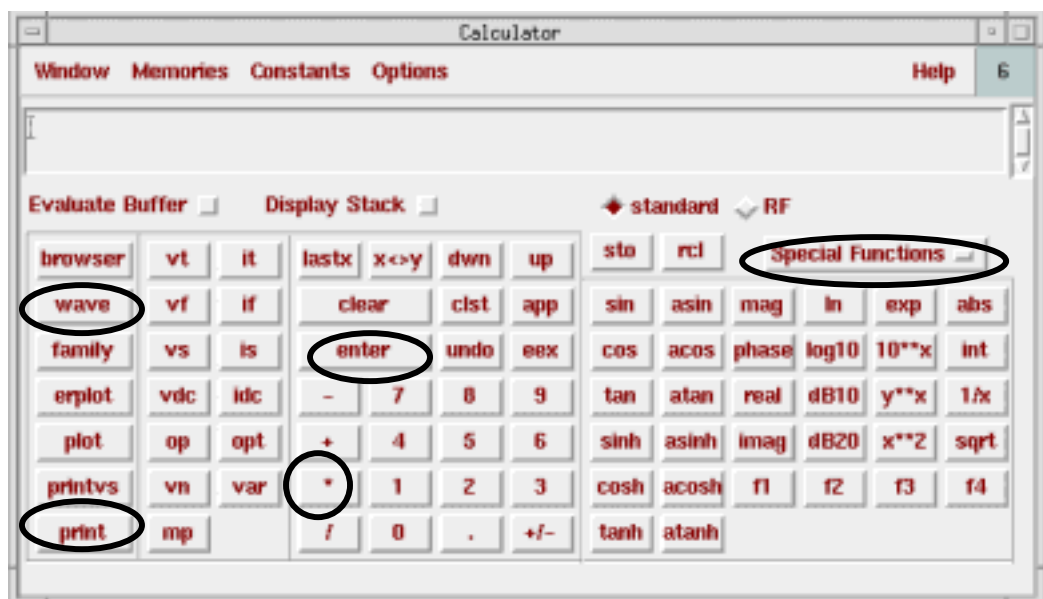
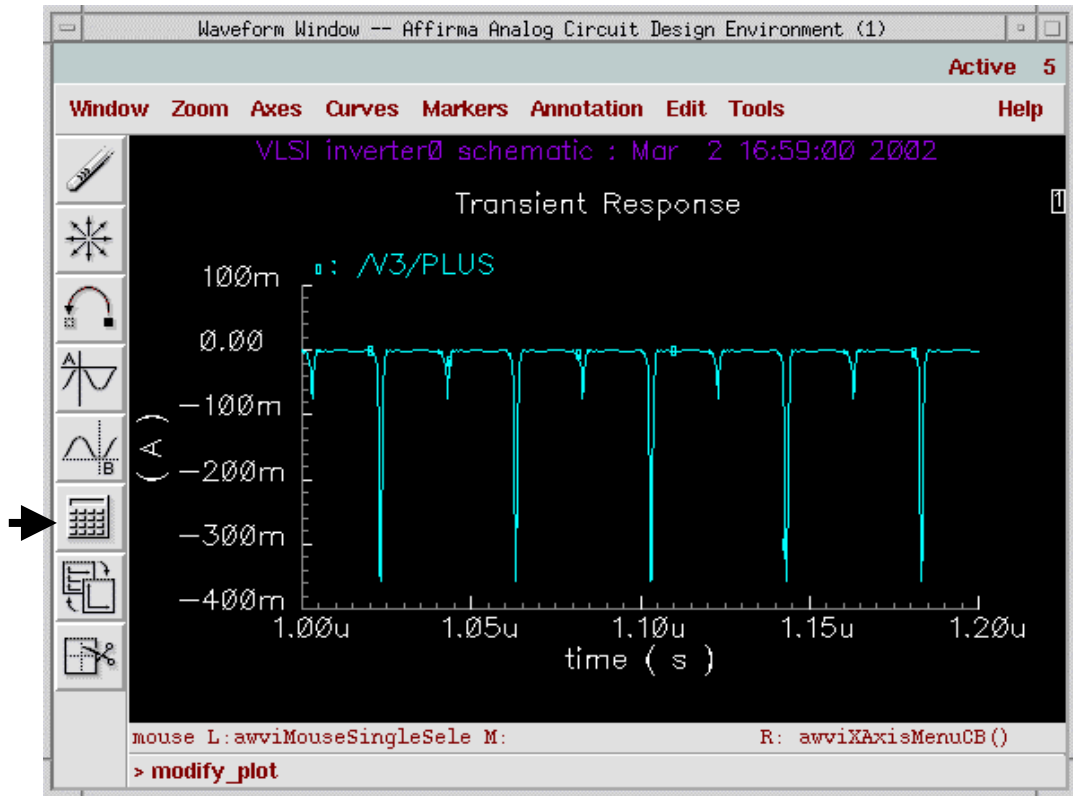
‘Analog Circuit Design Environment’ window の Output に設定される。



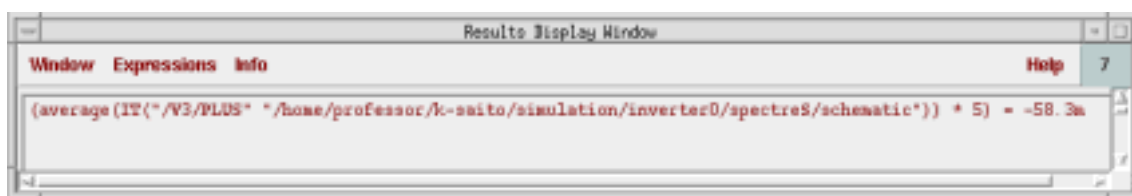
[Simulation][Run].

Simulation が終了すると、自動的に'Waveform Window'が出る。

[Calculator]をクリック。



- (2) 'calculator'の[wave]ボタンをクリック
- (3) 'Waveform window'で I の波形をクリック calculator に wave???()のデータが入る。誤って入力された場合は[Clear]。
- (4) 'calculator'の[Special Function][average]を選択。(電流の平均値の計算)
- (5) 'calculator'の[enter]ボタンをクリック
- (6) 'calculator'に電圧値を入力。例えば 5 V ならば 5 を入力。
- (7) [*]ボタンをクリック (この電卓は逆ポーランド電卓である)
- (8) 'calculator'の[print]ボタンをクリック
- (9) 'Result Display Window'が表われ、平均電流の電圧の積が出力される。



演習 2

課題：すでにシミュレーションしてきたインバータチェーンにおいて、各段の負荷容量を 1000pF として、Vd=5, 10, 15V と変え、電源電圧と消費電力の関係を調べよ。

課題：すでにシミュレーションしてきたインバータチェーンにおいて、各段の負荷容量を 1000pF として、Vd=10V の時に、入力パルス周期を変えて、周波数と消費電力の関係を調べよ。

付録：回路シミュレーション（２）

Cadence Spice を用い Netlist により回路を記述したシミュレーション

ここでは回路図を直接ネットリストとして入力し、シミュレーションを実行する方法を説明する。この方法は HSpice、PSpice などでも行われる基本的な入力手段である。

１．回路シミュレータのアクセス

CSpice の Schematic レベルからの回路解析は

/usr/local/bin/icfb&

として準備されている。これについては回路シミュレーション（１）で述べた。

回路シミュレーションのコマンドは

/usr/local/cadence/IC4.45/tools/dfII/bin/cdsSpice

として準備されている。

２．解析の準備

各自の回路解析用ディレクトリを作成する。

/Simulation

そのディレクトリに **circuit.c** と **circuit.s** のファイルを準備する。**circuit.c** は circuit file と呼ばれ、**circuit.s** は script file と呼ばれる。

circuit file には net list が記述され、**script file** には解析用制御コマンドが記述される。

注：HSpice、PSpice では解析用制御コマンドも **circuit file** に記述する。

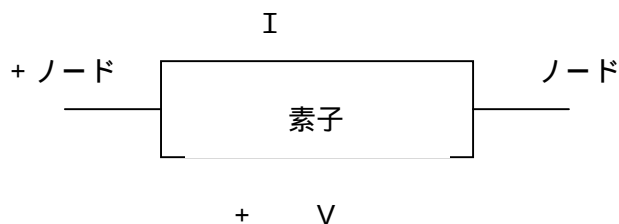
３．circuit file (net list)の作成

net list は各ノード間の要素素子を記述したリストである。Spice では最終的には全てこの形式のファイルとして処理される。

３．１．net list 上の回路素子の定義：

二端子素子の定義は以下の形式に従う。

素子記号 + ノード記号 ノード記号 素子値



素子の極性と定義

二端子素子の定義例：

二端子素子の定義

素子例	記号	ノード番号		素子の値
抵抗	R1	1	2	5K
直流電源	Vd	1	0	5.0
パルス電源	Vs	1	0	PULSE 0.0 5.0 5U 2U 2U 5U 10U

素子の値はモデル名、素子値、スケールおよび単位などを含む。スケールを以下に示す。

ネットリスト上のスケールの表し方：

回路上の全ての素子に記号をつける。接続されているノードを指定する。**Spice** では必ずノード ‘ 0 ’ が存在していなければならない。またノード番号を 0 とした場合は、そこがグラウンドに接続されているとみなす。ここでは電源として直流電源、パルス電源の例を示したが、この他に正弦波電源や電流源なども当然定義できる。詳細は **Spice** の参考書を参照する。

記号	スケール		読み方
F	10^{-15} 、	1E-15	femto-
P	10^{-12} 、	1E-12	pico-
N	10^{-9} 、	1E-9	nano-
U	10^{-6} 、	1E-6	micro-
M	10^{-3} 、	1E-3	milli-
K	10^3 、	1E3	kilo-
MEG	10^6 、	1E6	mega-
G	10^9 、	1E9	giga-
T	10^{12} 、	1E12	tera-

パルス電源の定義：

```
PULSE V1 V2 td tr tf pw per
```

各パラメータは以下に定義する。

V1: 初期電圧
V2: パルス電圧
td: デレイ
tr: 立ち上がり電圧
tf: 立下り電圧
pw: パルス幅
per: 周期

ネットリスト上の MOSFET の定義：

M1	2	1	1 0	1 0	MP1	L=2U	W=10U
名称	ドレイン	ゲート	ソース	基盤	モデル名	チャネル長	チャネル幅

MOSFET の素子名には M1 のように M を付けなければならない。Spice では Level1、Level2 などのモデルの精度に対応した種々のモデルがある。ここではその詳細は省略する。演習では PMOSFET として、MP1、NMOSFET として MN1 のモデルを使用する。

3.2. ネットリストの作成

種々の回路要素の定義法があきらかになったので、インバータ回路を例としてネットリストを作成する。

例：インバータ回路のネットリスト：

circuit file の例(circuit.c)

```
# CMOS INVERTER: コメントを記述
(一行あける)
Vs 1 0 PALUSE 0.0 5.0 5U 2U 2U 5U 10U
M1 2 1 10 10 MP1 L=2U W=10U
M2 2 1 0 0 MN1 L=2U W=10U
```

C1 2 0 1000P: 1000 pF の容量

Vd 10 0 5.0

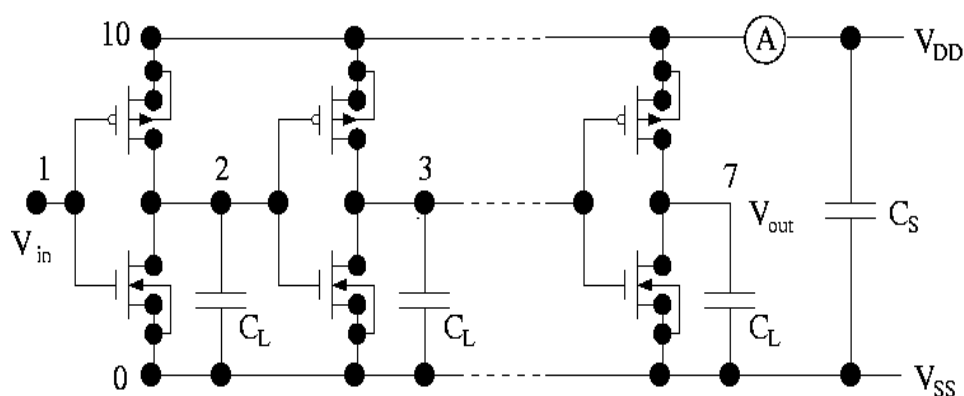
MOSFET MODEL

.MODEL MP1 PMOS(TPG=-1 VTO=-0.5 NSS=-1E11 TOX=10N NSUB=1E16)

.MODEL MN1 NMOS(VTO=0.5 NSS=-1E11 TOX=10N NSUB=1E16)

注：ここに示したモデルは素子設計で得られたものではない。実際の回路シミュレーションでは素子の評価により得られた素子モデルを使用する。

課題：上のネットリストの例を拡張してインバータと負荷容量を 6 段直列接続したインバータチェーン回路のネットリストを作成せよ。



3 . 3 . script file の作成

script file はシミュレーションの制御ファイルである。説明の詳細は省略するが、演習においては下記の例について * を付けた行を修正して使用する。

シミュレーションの制御：

script file(circuit.s)の例（関連する部分のみ記述）

.....

print "simBegin()"

.....

set PSFFLG=1 : Waveform 解析の時に指定

.....

* sim circuit : シミュレーションする circuit file を指定する

.....

keep off

- * **keep 1 2 3 I(Vd)** : ノード番号 1、2、3 の電圧と Vd を流れる電流値を測定
- sweep off**
- noise off** : 雑音解析をしない
- * **sweep time from 0.2u to 50u by 0.5u** : 0.2usec から 0.5usec 刻みで 50usec まで解析
- set @dummy=sdsfun(1205, "CDSPSF", "psfdir", ".psf")** : ./psf で出力先を指定
- go** : シミュレーションの開始
- quit** : シミュレーションの終了

3.4. 回路シミュレーションの実行と出力

% cdsSpice < circuit.s > result.out

を実行する。

シミュレーションの結果は result.out と ./psf に出力される。

シミュレーションが問題なく終了した場合には result.out は以下のような出力となる。

welcome to cdsSpice 4.3

```
cdsSpice:
simBegin()
  SPICE2 EXCECUTION ...
  SPICE2 FINISHED ...
Leaving cdsSpice ...
```

課題：3.2. で作成したネットリストを用いて回路シミュレーションを実行し、正常出力を確認せよ。

3.5. 解析結果の出力

(1) 結果の画面出力

結果の画面出力は以下の手順で行う。

- (1) **%icfb&**を実行 **icfb-Log Window** が表示される。
- (2) **open waveform** を左ボタンでクリック **Waveform Window** が表示される。
- (3) **tools calculator** を左ボタンでクリック **Calculator** が表示される。
- (4) **browse** を左ボタンでクリック **Browse Project Hierarchy** が表示される。
- (5) **"Project Directory"**に./psf の存在する directory を指定。この例では~/Simulation である。
- (6) **OK** を左ボタンでクリック **DRL Browser** が表示される。

- (7) **psf/**を中ボタンでクリックし、**creatROF** をクリックする。下図のような出力ファイルが生成される。

psf/	Run1		element		1 : 電圧を測定したノード
			model		2 : 電圧を測定したノード
			opBegin		3 : 電圧を測定したノード
			opEnd		Vd : 電流を測定した素子
			summary		analysisType
			timeSweep		description

- (8) **DRL Browser** の所望のノードにマウスを持って行き、中ボタンをクリック
Plot(R)をクリック。
- (9) 所望の波形が **Waveform Window** に出力される。

(2) 結果のハードコピー

- (1) **Waveform Window** の **Tools** をクリック **Hardcopy set options** をクリック
 Set Default Options が表示される。
- (2) **Specify Plotter** の中から **"Encapsulated Postscript"** を選択する。
- (3) **Specify Page Size** の中から **"A4"** を選択する。
- (4) **Output File Name** に出力ファイル名を指定する。例~/Simulation/result.ps
- (5) **Apply** をクリック **OK** をクリック。
- (6) **Waveform Window** の **Tools** をクリック。 **Hardcopy Output** をクリック。
- (7) 結果は~/Simulation/result.ps として postscript 形式で出力。
- (8) postscript file の出力については省略する。

4 . 測定

4 . 1 . 伝播遅延時間の測定 略

4 . 2 . 消費電力の測定

- (1) **DRL Browser** の **Vd** を中ボタンでクリック。 **Plot(R)**を選択 **i(Vd)**の波形が出力
- (2) **calculator** の **wave** ボタンをクリック
- (3) **Waveform window** で **I(Vd)**の波形をクリック **calculator** に **wave???()**のデータが入る。

- (4) **calculator** の **Special Function** にマウスを持って行き左ボタンを押す。 プルダウンメニューから **average** を選択する。(電流の平均値の計算)
- (5) **calculator** の **enter** ボタンをクリック
- (6) **calculator** に電圧値を入力。例えば 5 V ならば 5 を入力。
- (7) * ボタンをクリック (この電卓は逆ポーランド電卓である)
- (8) **calculator** の **print** ボタンをクリック
- (9) **Result Display Window** が表われ、平均電流の電圧の積が出力される。

課題：略